





LIQUID CRYSTAL DISPLAY DEVICE AND PROJECTION DISPLAY DEVICE

Patent number: WO9947972
Publication date: 1999-09-23
Inventor: MURADE MASAO (JP)
Applicant: SEIKO EPSON CORP (JP);; MURADE MASAO (JP)
Classification:
- **International:** G02F1/136
- **European:** G02F1/1362B; G02F1/1362C
Application number: WO1999JP01433 19990319
Priority number(s): JP19980071035 19980319; JP19980176244 19980623

Also published as: US6556265 (B1)**Cited documents:** JP10010548
 JP8234239
 JP5257164
 JP60002916**Report a data error here****Abstract of WO9947972**

A liquid crystal display device of a relatively simple structure including TFTs, capacitor lines and opaque layers under the TFTs. To achieve high-quality image presentation, the liquid crystal display device comprises a liquid crystal layer (50) interposed between a pair of substrates, and pixel electrodes (9a) formed in a matrix on a TFT array substrate (10). A plurality of opaque layers (11a) in stripes of high-melting metal are provided under pixel TFTs (30), scanning lines (3a) and capacitor lines (3b). The opaque layers are connected electrically with the capacitor lines (3b) through contact holes (13). The opaque layers serve to reduce capacitor line resistance.

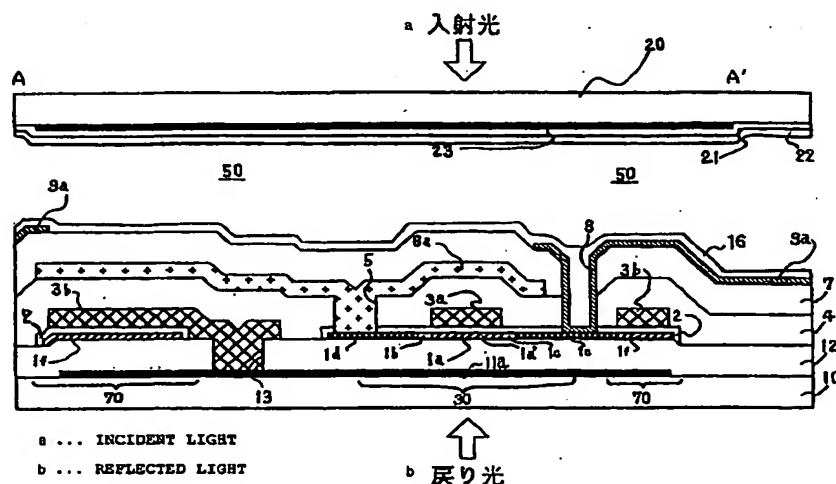
Data supplied from the **esp@cenet** database - Worldwide



(51) 国際特許分類6 G02F 1/136	A1	(11) 国際公開番号 WO99/47972 (43) 国際公開日 1999年9月23日(23.09.99)
(21) 国際出願番号 PCT/JP99/01433 (22) 国際出願日 1999年3月19日(19.03.99) (30) 優先権データ 特願平10/71035 1998年3月19日(19.03.98) JP 特願平10/176244 1998年6月23日(23.06.98) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 村出正夫(MURADE, Masao)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)		(81) 指定国 CN, JP, KR, US 添付公開書類 国際調査報告書

(54)Title: LIQUID CRYSTAL DISPLAY DEVICE AND PROJECTION DISPLAY DEVICE

(54)発明の名称 液晶装置、投射型表示装置及び電子機器



(57) Abstract

A liquid crystal display device of a relatively simple structure including TFTs, capacitor lines and opaque layers under the TFTs. To achieve high-quality image presentation, the liquid crystal display device comprises a liquid crystal layer (50) interposed between a pair of substrates, and pixel electrodes (9a) formed in a matrix on a TFT array substrate (10). A plurality of opaque layers (11a) in stripes of high-melting metal are provided under pixel TFTs (30), scanning lines (3a) and capacitor lines (3b). The opaque layers are connected electrically with the capacitor lines (3b) through contact holes (13). The opaque layers serve to reduce capacitor line resistance.

(57)要約

TFTの下側に遮光膜を設けた形式の液晶装置において、この遮光膜及び容量線を用いた比較的簡易な構成により、高品質の画像表示を可能にするために、液晶装置は、一対の基板間に挟持された液晶層（50）と、TFTアレイ基板（10）にマトリクス状に設けられた画素電極（9a）とを備える。高融点金属からなると共に縞状に分断された複数の遮光膜（11a）が、画素のTFT（30）、走査線（3a）、容量線（3b）等の下側に形成されており、容量線（3b）と遮光膜とは、コンタクトホール（13）を介して電気接続される。遮光膜により容量線が低抵抗化される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SE	スウェーデン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AT	オーストリア	FI	フィンランド	LK	スリランカ	SI	スロバニア
AU	オーストラリア	FR	フランス	LR	リベリア	SK	スロバキア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SN	セネガル
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BE	ベルギー	GE	グルジア	LV	ラトヴィア	TD	チャド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MC	モナコ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TZ	タンザニア
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TM	トルクメニスタン
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
CA	カナダ	HR	クロアチア	ML	マリ	TT	トリニダード・トバゴ
CC	中央アフリカ	HU	ハンガリー	MN	モンゴル	UG	ウガンダ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	US	米国
CH	スイス	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
CI	コートジボワール	IL	イスラエル	MX	メキシコ	VN	ヴェトナム
CM	カメルーン	IN	インド	NE	ネジュール	YU	ユーゴスラビア
CN	中国	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	コスタ・リカ	JP	日本	NO	ノールウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

液晶装置、投射型表示装置及び電子機器

〔技術分野〕

- 5 本発明は、薄膜トランジスタ（以下適宜、T F Tと称する）駆動によるアクティブマトリクス駆動方式の液晶装置の技術分野に属し、特に、液晶プロジェクタ等に用いられる、T F Tの下側に遮光膜を設けた形式の液晶装置の技術分野に属する。

〔背景技術〕

- 10 従来、この種の液晶装置が液晶プロジェクタ等にライトバルブとして用いられる場合には一般に、液晶層を挟んでT F Tアレイ基板に対向配置される対向基板の側から投射光が入射される。ここで、投射光がT F Tのa-S i（アモルファスシリコン）膜やp-S i（ポリシリコン）膜から構成されたチャネル領域に入射すると、この領域において光電変換効果により光電流が発生してしまい、T F Tのトランジスタ特性が劣化する。このため、対向基板には、各T F Tに夫々対向する位置に、C r（クロム）などの金属材料や樹脂ブラックなどからなる遮光膜が形成されるのが一般的である。この遮光膜は、各画素の開口領域（即ち、投射光が透過する領域）を規定することにより、T F Tのp-S i層に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を果たしている。
- 15 この種の液晶装置においては、特にトップゲート構造（即ち、T F Tアレイ基板上においてゲート電極がチャネルの上側に設けられた構造）を採る正スタガ型又はコプラナー型のa-S i又はp-S i T F Tを用いる場合には、投射光の一部が液晶プロジェクタ内の投射光学系により戻り光として、T F Tアレイ基板の側からT F Tのチャネルに入射するのを防ぐ必要がある。同様に、投射光が通過する際のT F Tアレイ基板の表面からの反射光や、更にカラー用に複数の液晶装置を組み合わせ使用する場合の他の液晶装置から出射した後に投射光学系を突き抜けてくる投射光の一部が、戻り光としてT F Tアレイ基板の側からT F Tのチャネルに入射するのを防ぐ必要もある。このために、特開平9-127497号公報、特公平3-52611号公報、特開平3-125123号公報、特開平
- 20
- 25

8-171101号公報等では、石英基板等からなるTFTアレイ基板上においてTFTに対向する位置（即ち、TFTの下側）にも、例えば不透明な高融点金属から遮光膜を形成した液晶装置を提案している。

- 他方、この種の液晶装置においては、走査信号をゲート電極に印加することによりTFTを導通状態として画素電極に画像信号を供給する時間に対して、画素電極に電圧が保持される時間を長くするために、即ちデューティ比が小さくても十分な時間だけ液晶駆動電圧を印加できるように、画素電極に対して蓄積容量を付加するのが一般的である。この場合、走査線に沿って形成された容量線の一部を他方の蓄積容量電極として構成する方式が一般化されている。
- 10 液晶装置においては、画質向上という一般的要請が強く、このために液晶装置の駆動周波数を高めることが重要となる。

- しかしながら、前述のように画素電極に対して蓄積容量を付加するために、例えば基板温度を900度等の高温にさらすプロセスを有する高温プロセスを用いる場合は、一方の蓄積容量電極を含む容量線を、走査線と同様のポリシリコン膜から形成するので、例えばデータ線のようにAl等の低抵抗金属膜からなる配線と比較すると、低抵抗化が困難である。このため、容量線の抵抗や時定数が大きくなり、複数のデータ線の下を交差して配線された容量線における各データ線との容量カップリングにより容量線の電位が揺れて、横クロストークやゴースト等による画像劣化が発生してしまうという問題点がある。

- 20 より具体的には、図20に示したように、灰色を背景として黒部分がハイコントラストで描かれた画像801を表示しようとする場合、走査線に沿った一行の画素列上で他の画素に与えられる画像信号の電圧（ここでは、灰色に対応する電圧）と部分的に異なる電圧（ここでは、黒に対応する電圧）の画像信号が与えられると、このような容量カップリングによる容量線の電位揺れが安定する前に、
- 25 当該画素行における各画素への書き込みが行われる。このため、実際に表示される画像802においては、黒表示すべき部分的に異なる電圧の画像信号が与えられた画素の左右の画素における電圧不足を招いて、灰色表示すべき行全体が白っぽくなるという現象、即ち、横クロストークやゴースト等が発生するのである。

この場合特に、黒表示すべき部分的に異なる電圧の画像信号が与えられる時点

が、各走査線毎の書き込みの終了時点に近い時点である程、即ち、黒表示すべき画素が、一本の走査線上で左右のうち一方側から走査信号を供給する場合には他方側に近い画素である程或いは両側から走査信号を供給する場合には中央に近い画素である程、容量カップリングによる容量線の電位揺れが安定するより以前に、

5 当該画素行における各画素への書き込みが行われるため、横クロストークやゴースト等が顕著に発生し易い。

そして、このような横クロストークやゴースト等は、所謂XGA、SXGA等の機種の液晶装置のように駆動周波数が高くなると、相対的に容量線の時定数が大きくなるために、発生し易くなる。更に、データ線に対し画像信号の電圧を小さな負荷で書き込めるようにデータ線に所定電圧レベルのプリチャージ信号を画像信号に先行して夫々供給するプリチャージを行う場合には、プリチャージするための水平帰線期間をある程度の長さ確保する必要があるために、各走査線の書き込みの終了時点に近い時点で部分的に異なる電圧の画像信号が与えられた後に、容量カップリングによる容量線の電位の揺れが安定するまでの時間を十分に確保

10

15 できなくなる。このため、前述の横クロストークやゴースト等は、プリチャージを行う際には防止し難いという問題点もある。

このような横クロストークやゴースト等の問題を解決するためには、例えば液晶に印加される駆動電圧の極性をデータ線毎に反転するデータ線反転駆動方式（1S反転駆動方式）や画素毎に反転するドット反転駆動方式は有効であるが、

20 これらの方式によれば、データ線や走査線に沿った液晶のディスクリネーション（配向不良）が強く発生して表示劣化を起こしてしまうため、特に画素領域の高開口率化という基本的要請の下では、これらの方式は実用的ではない。

本発明は上述した問題点に鑑みなされたものであり、蓄積容量及び遮光膜を用いた比較的簡易な構成により、高品質の画像表示が可能な液晶装置を提供することを課題とする。

25

本発明の第1の液晶装置は上記課題を解決するために、一対の基板間に液晶が挟持されてなり、該一対の基板の一方の基板上には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び

複数の走査線と、該複数の走査線夫々と並んで前記複数のデータ線に交差する方向に夫々伸延し、前記複数の画素電極に対し蓄積容量を夫々付与する複数の容量線と、前記複数のデータ線に交差する方向に夫々伸延し、前記複数の薄膜トランジスタの少なくともチャンネル領域を前記一方の基板の側から見て夫々覆う位置及び前記複数の容量線に少なくとも部分的に夫々対向する位置に設けられ、前記複数のデータ線に交差する方向に対し一又は複数の画素毎に前記複数の容量線と夫々電気接続された複数の遮光膜と、該複数の遮光膜と前記薄膜トランジスタとの間に介在する第1層間絶縁膜とを備える。

本発明の第1の液晶装置によれば、複数の画素電極に対し蓄積容量を夫々付与する複数の容量線は、複数の走査線夫々と並んで複数のデータ線に交差する方向に（即ち、各走査線に平行或いは略平行に）夫々伸延している。これに対し、複数の遮光膜は、複数のデータ線に交差する方向に（即ち、各走査線に平行或いは略平行に）夫々伸延しており、複数の薄膜トランジスタの少なくともチャンネル領域を一方の基板の側から見て夫々覆う位置において、一方の基板上に設けられている。従って、薄膜トランジスタのチャンネル領域は、一方の基板の側から入射される戻り光等については、複数の遮光膜により遮光されており、薄膜トランジスタの戻り光等による特性劣化を防止できる。

そして、複数の遮光膜は、複数の容量線に少なくとも部分的に夫々対向する位置において一方の基板上に設けられており、複数のデータ線に交差する方向に対し一又は複数の画素毎に、複数の容量線と夫々電気接続されている。このため、容量線の抵抗を、複数の遮光膜の抵抗により顕著に低められる。例えば、容量線をポリシリコン膜から形成し且つ複数の遮光膜を導電性の高融点金属膜から形成すれば、容量線における走査線に沿った方向の抵抗を、複数の遮光膜の抵抗により支配できる。即ち、容量線における大幅な低抵抗化が可能となる。

以上の結果、低抵抗の容量線により、複数の画素電極に対して蓄積容量が夫々付与されるため、液晶装置の駆動周波数を高めても、前述した従来例の如きデータ線と容量線との容量カップリングによる容量線の電位揺れに起因する横クロストークやゴースト等は低減され、高品位の画像表示が行える。また前述した、ブリッジ方式を採用したとしても従来例の如き問題は生じない。

更に、複数の遮光膜は、データ線と交差する方向に夫々伸延しており、データ線に沿った方向に対し複数の分断された縞状の遮光膜からなるが故に、例えば、各画素部の開口領域の周りに一体的に形成された格子状の遮光膜配線を配設した場合と比較して、遮光膜配線、層間絶縁膜、ポリシリコン膜、金属膜等からなる積層構造において、各膜の物性の違いに起因した製造プロセス中の加熱冷却に伴い発生するストレスが格段に緩和される。このため、遮光膜等におけるクラックの発生防止や歩留まりの向上が図られる。

これらに加えて、異物等により容量線が途中で断線しても、複数の遮光膜が容量線の代わりになるという、冗長構造が実現できる。

10 本発明の第1の液晶装置の一の態様では、前記複数の遮光膜は夫々、前記チャネル領域を覆う位置を除き、前記走査線に対向する位置には形成されていない。

この態様によれば、各遮光膜と各走査線との間の容量カップリングが実践上殆ど又は全く生じないので、走査線における電位変動により、遮光膜における電位揺れが発生することはなく、よって容量線における電位揺れも発生しない。

15 本発明の第2の液晶装置は上記課題を解決するために、一对の基板間に液晶が挟持されてなり、該一对の基板の一方の基板上には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、該複数の走査線夫々と並んで前記複数のデータ線に交差する方向に夫々伸延し、前記複数の画素電極に対し蓄積容量を夫々付与する複数の容量線と、前記複数のデータ線に交差する方向に夫々伸延し、前記複数の薄膜トランジスタの少なくともチャネル領域を前記一方の基板の側から見て夫々覆う位置及び前記複数の走査線に少なくとも部分的に夫々対向する位置に設けられ、前記複数のデータ線に交差する方向に対し一又は複数の画素毎に前記複数の容量線と夫々電気接続された複数の遮光膜と、該複数の遮光膜と前記薄膜トランジスタとの間に介在する第1層間絶縁膜とを備えたことを特徴とする。

25 本発明の第2の液晶装置によれば、上述した本発明の第1の液晶装置の場合と同様に、複数の画素電極に対し蓄積容量を夫々付与する複数の容量線は、複数の走査線夫々と並んで複数のデータ線に交差する方向に夫々伸延している。これに

対し、複数の遮光膜は、複数のデータ線に交差する方向に夫々伸延しており、複数の薄膜トランジスタの少なくともチャネル領域を一方の基板の側から見て夫々覆う位置において、一方の基板上に設けられている。そして、複数の遮光膜は、複数のデータ線に交差する方向に対し一又は複数の画素毎に、複数の容量線と夫々電気接続されている。このため、上述した本発明の第1の液晶装置の場合と同様の作用及び効果が得られる。

そして、第2の液晶装置では特に、遮光膜は、走査線に少なくとも部分的に対向する位置において一方の基板上に設けられている。即ち、この位置において遮光膜上には、例えば薄膜トランジスタを構成するゲート絶縁膜よりも遥かに厚い第1層間絶縁膜を介して走査線が形成されている。このため、仮に、製造プロセスにおいて意図しない突起等の異常形状部分が遮光膜上に形成された場合にも、この突起等が第1層間絶縁膜を突き破ることにより遮光膜が走査線とショートする可能性を極めて低く出来る。特に、このような遮光膜上に形成された突起等上に半導体層及びゲート絶縁膜並びに容量線が更に積層形成されている場合には、この突起等が半導体層を介して極薄いゲート絶縁膜を突き破って半導体層と容量線とがショートする可能性が高くなることを考慮すると、本発明の第2の液晶装置における、走査線に対向する位置に遮光膜が形成される構成は、前述した本発明の第1の液晶装置と比較して、工程歩留まりを向上させる上でより有利である。

本発明の第1の液晶装置の他の態様或いは第2の液晶装置の一の態様では、前記容量線と前記走査線とは、同一の導電性薄膜からなり、前記薄膜トランジスタの前記画素電極に接続された側のソース又はドレイン領域を構成する半導体層から延設されてなる第1蓄積容量電極と第2蓄積容量電極としての前記容量線とは、前記薄膜トランジスタのゲート絶縁膜と同一の絶縁膜からなる誘電体膜を介して対向配置されることにより、前記蓄積容量が付与される。

この態様によれば、容量線と走査線とは、例えばポリシリコン膜等の同一の導電性薄膜からなり、蓄積容量の誘電体膜と薄膜トランジスタのゲート絶縁膜とは、例えば高温の熱酸化膜等の同一の絶縁薄膜からなり、容量線と対向配置される蓄積容量電極は、例えばポリシリコン膜等の半導体層から延設されてなるので、一方の基板上に形成される積層構造を単純化でき、更に同一の薄膜形成工程で容量

線及び走査線の両方を同時に、或いは誘電体膜及びゲート絶縁膜の両方を同時に形成できるので製造上大変有利である。

この態様では、前記複数の遮光膜が、前記第2蓄積容量電極の反対側において前記第1蓄積容量電極と前記第1層間絶縁膜を介して第3蓄積容量電極として対向配置されることにより、前記蓄積容量が更に付与されるように構成してもよい。

このように構成すれば、第1蓄積容量電極を挟んで両側に蓄積容量が付与される構造、即ちダブル蓄積容量構造が構築されるので、蓄積容量がより増加し、表示画像におけるフリッカや焼き付きを防止する機能が向上する。

本発明の第1又は第2の液晶装置の他の態様では、前記容量線と前記複数の遮光膜との間には、前記第1層間絶縁膜が介在しており、前記複数の容量線と前記複数の遮光膜とは、前記第1層間絶縁膜に前記一又は複数の画素毎に開孔されたコンタクトホールを介して夫々電気接続される。

この態様によれば、複数の容量線と複数の遮光膜とは、第1層間絶縁膜に一又は複数の画素毎に開孔されたコンタクトホールを介して接続されているので、確実に且つ信頼性の高い電気接続状態を両者間に実現できる。

このコンタクトホールが開孔された態様では、前記コンタクトホールは、前記一対の基板の他方の基板の側から見て前記データ線の下に開孔されているように構成してもよい。

このように構成すれば、コンタクトホールは、データ線の下に開孔されており、即ち、コンタクトホールは、画素部の開口領域から外れており、しかも薄膜トランジスタや該薄膜トランジスタの半導体層から延設された蓄積容量の一方の電極が形成されていない第1層間絶縁膜の部分に設けられているので、画素領域の有効利用を図れる。

これらのコンタクトホールが開孔された各態様では、前記コンタクトホールは、前記一方の基板に平行な平面形状が、例えば、真円形や楕円形などの円形であるように構成してもよい。

このように構成すれば、コンタクトホールを開孔するためにウエットエッチング工程を製造プロセスに用いる場合に、複数の遮光膜とその隣接膜（即ち、第1層間絶縁膜等）との界面にエッチング溶液が侵入してクラックを発生させる可能

性を低減できる。即ち、平面形状が四角等であるコンタクトホールを開孔しよう
とすれば、角部分に特にエッチング溶液が侵入し易く且つ応力集中も起き易いの
で、この角部分でクラックが生じ易くなるのである。

これらのコンタクトホールが開孔された各態様では更に、前記複数の遮光膜は
5 夫々、前記一方の基板に平行な平面形状が、前記走査線に沿って形成された第 1
領域と該第 1 領域から前記データ線に沿って延設された第 2 領域とを含んでおり、
該第 2 領域に前記コンタクトホールが開孔されているように構成してもよい。

このように構成すれば、どれだけ第 2 領域の先端に近づけてコンタクトホール
を開孔するかに応じて、製造プロセス中に遮光膜にかかる応力が緩和されるので、
10 より効果的にクラックを防止し、歩留まりを向上させることが可能となる。

本発明の第 1 又は第 2 の液晶装置の他の態様では、前記容量線及び前記複数の
遮光膜は、定電位源に接続されている。

この態様によれば、複数の遮光膜は定電位源に接続されているので、遮光膜は
定電位とされる。従って、遮光膜に対向配置される薄膜トランジスタに対し遮光
15 膜配線の電位変動が悪影響を及ぼすことを防ぐことができる。そして、容量線も
定電位とされるので、蓄積容量電極として良好に機能し得る。この場合、定電位
源の定電位としては、例えば接地電位に等しくてもよい。

この態様では、前記定電位源は、当該液晶装置を駆動するための周辺回路に供
給される定電位源であるように構成してもよい。

20 このように構成すれば、定電位源は、走査線駆動回路、データ線駆動回路など
の周辺回路に供給される、負電源、正電源等の定電位源であるので、特別な電位
配線や外部回路接続端子を設ける必要なく、遮光膜及び容量線を定電位にできる。

或いは、前記一对の基板の他方の基板に対向電極が形成されており、前記定電
位源は、該対向電極に供給される定電位源であるように構成してもよい。

25 このように構成すれば、定電位源は、対向電極に供給される、負電源、正電源
等の定電位源であるので、特別な電位配線や外部回路接続端子を設ける必要なく、
遮光膜及び容量線を定電位にできる。

本発明の第 1 又は第 2 の液晶装置の他の態様では、前記複数の遮光膜は夫々、
相隣接する前段あるいは後段の画素に付与する蓄積容量を形成するための容量線

に電気接続される。

このように構成すれば、複数の遮光膜が夫々、自段の容量線、すなわち、当該遮光膜上にチャネル領域が位置する T F T に接続された画素電極に蓄積容量を付与するための容量線に電気接続される場合と比較して、画素部の開口領域の縁に沿ってデータ線に重ねて画素 T F T、容量線及び遮光膜が形成される領域の他の領域に対する段差が少なくて済む。ここで、隣接する容量線、前段あるいは後段の容量線とは、当該遮光膜上にチャネル領域が位置する T F T に接続された画素電極に付与する蓄積容量を形成するための容量線に対して隣接する画素電極に蓄積容量を付与するための容量線を意味する。このようにして段差が少ないと、当該段差に応じて引き起こされる液晶のディスクリネーション（配向不良）を低減できる。

本発明の第 1 又は第 2 の液晶装置の他の態様では、前記複数の遮光膜は夫々、自段の前記容量線に電気接続される。

このように構成すれば、データ線に重ねて画素 T F T、容量線及び遮光膜が形成される領域の他の領域に対する段差は大きくなるが、コンタクトホール等により比較的容易に容量線と遮光膜とを電気接続することが出来る。

この態様では、前記走査線上且つ前記データ線下に設けられた第 2 層間絶縁膜と、前記データ線上且つ前記画素電極下に設けられた第 3 層間絶縁膜とを更に備えており、前記第 1、第 2 及び第 3 層間絶縁膜のうち少なくとも一つは、少なくとも前記データ線に対向する部分が凹状に窪んで形成されることにより、前記第 3 層間絶縁膜の前記液晶に面する側が平坦化されているように構成してもよい。

このように構成すれば、第 1、第 2 及び第 3 層間絶縁膜のうち少なくとも一つは、データ線に対向する部分が凹状に窪んで形成されるので、データ線に重ねて画素 T F T、容量線及び遮光膜が形成される領域の他の領域に対する段差が低減される。このようにして第 3 層間絶縁膜の液晶に面する側が平坦化されているので、当該平坦化の度合いに応じて第 3 層間絶縁膜の表面の凹凸により引き起こされる液晶のディスクリネーション（配向不良）を低減できる。

本発明の第 1 又は第 2 の液晶装置の他の態様では、前記複数の遮光膜は、T i（チタン）、C r（クロム）、W（タングステン）、T a（タンタル）、M o（モ

リブデン) 及びPb (鉛) のうちの少なくとも一つを含む。

この態様によれば、遮光膜は、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、例えば、金属単体、合金、金属シリサイド等から構成されるため、TF Tアレイ基板上の遮光膜形成工程の後
5 に行われるTF T形成工程における高温処理により、遮光膜が破壊されたり溶融しないようにできる。

本発明は、光源と、該光源から出射される光が入射されて画像情報に対応した変調を施す液晶ライトバルブと、該液晶ライトバルブにより変調された光を投射する投射手段とを有する投射型表示装置において、前記液晶ライトバルブは、光
10 の入射側に配置された第1基板及び出射側に配置された第2基板との間に液晶が挟持された液晶装置と、前記第1基板の外側に配置された第1偏光手段と、前記第2基板の外側に配置された第2偏光手段とを有し、前記第2基板上にはマトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差す
15 る複数のデータ線及び複数の走査線と、該複数の走査線夫々と並んで前記複数のデータ線に交差する方向に夫々伸延し、前記複数の画素電極に対し蓄積容量を夫々付与する複数の容量線と、前記複数のデータ線に交差する方向に夫々伸延し、前記複数の薄膜トランジスタの少なくともチャネル領域を前記一方の基板の側から見て夫々覆う位置及び前記複数の容量線に少なくとも部分的に夫々対向する位
20 置に設けられ、前記複数のデータ線に交差する方向に対し一又は複数の画素毎に前記複数の容量線と夫々電気接続された複数の遮光膜と、該複数の遮光膜と前記薄膜トランジスタとの間に介在する第1層間絶縁膜とを備えたことを特徴とする。

この態様によれば、第2基板と薄膜トランジスタとの間に遮光膜を形成することにより、戻り光によるリーク電流を防ぐことができる。また戻り光による液晶
25 装置への影響を防ぐことができるため、従来のように反射防止膜付き偏光手段を液晶装置に貼りつけなくても良い。したがって第2偏光手段を液晶装置に貼り付けることなく、離間形成が可能であるため、液晶装置の温度上昇を防止することができる。

本発明の第3の液晶装置は上記課題を解決するために、一対の基板間に液晶が

挟持されてなり、該一对の基板の一方の基板には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、前記複数の画素電極に対し蓄積容量を夫々付与するために前記

5 複数の走査線に沿って形成された容量線と、前記複数の薄膜トランジスタの少なくともチャンネル領域を前記一方の基板の側から見て夫々覆う位置に設けられており、前記走査線に沿って延設された配線部分を含むと共に前記容量線と電気接続された導電性の遮光膜と、該遮光膜と前記薄膜トランジスタとの間に介在する第1層間絶縁膜とを備えたことを特徴とする。

10 本発明の液晶装置によれば、遮光膜は、複数の薄膜トランジスタの少なくともチャンネル領域を一方の基板の側から見て夫々覆う位置において一方の基板に設けられている。従って、薄膜トランジスタのチャンネル領域は、一方の基板の側から入射される戻り光等については、遮光膜により遮光されており、薄膜トランジスタの戻り光等による特性劣化を防止できる。他方、容量線は複数の走査線に沿って形成されているが、この容量線と、走査線に沿って延設された配線部分を含む

15 導電性の遮光膜が電気接続されている。このため、容量線の抵抗を、導電性の遮光膜の抵抗により顕著に低められる。例えば、容量線をポリシリコン膜から形成し且つ遮光膜を導電性の高融点金属膜から形成すれば、容量線における走査線に沿った方向の抵抗を、遮光膜のシート抵抗により支配できる。即ち、容量線にお

20 ける大幅な低抵抗化が可能となる。

以上の結果、低抵抗の容量線により、複数の画素電極に対して蓄積容量が夫々付与されるため、液晶装置の駆動周波数を高めても、前述の如きデータ線と容量線との容量カップリングによる容量線の電位揺れに起因する横クロストークやゴースト等は低減され、高品位の画像表示が行える。

25 これに加えて、異物等により容量線が途中で断線しても、遮光膜が容量線の代わりになるので、冗長構造が実現できる。

本発明の第3の液晶装置の一の態様では、前記容量線と前記走査線とは、同一の導電性薄膜からなり、一方の蓄積容量電極としての前記容量線と、前記薄膜トランジスタの前記画素電極に接続された側のソース又はドレイン領域を構成する

半導体層部分から延設されてなる他方の蓄積容量電極とは、前記薄膜トランジスタのゲート絶縁膜と同一の絶縁薄膜 からの誘電体膜を介して対向配置されることにより、蓄積容量を構成することを特徴とする。

- この態様によれば、容量線と走査線とは、例えばポリシリコン膜等の同一の導電性薄膜からなり、蓄積容量の誘電体膜と薄膜トランジスタのゲート絶縁膜とは、
5 例えば高温酸化膜等の同一の絶縁薄膜からなり、容量線と対向配置される蓄積容量電極は、例えばポリシリコン膜等の半導体層部分から延設されてなるので、一方の基板上に形成される積層構造を単純化でき、更に同一の薄膜形成工程で容量線及び走査線の両方を同時に、或いは誘電体膜及びゲート絶縁膜の両方を同時に
10 形成できるので製造上大変有利である。

本発明の第3の液晶装置の他の態様では、前記容量線と前記遮光膜との間には、前記第1層間絶縁膜が介在しており、前記容量線と前記遮光膜とは、前記第1層間絶縁膜に開孔されたコンタクトホールを介して接続されたことを特徴とする。

- この態様によれば、容量線と遮光膜とは、第1層間絶縁膜に開孔されたコンタクトホールを介して接続されているので、確実に且つ信頼性の高い電気接続状態
15 を両者間に実現できる。

本発明の第3の液晶装置の他の態様では、前記コンタクトホールは、画素毎に開孔されていることを特徴とする。

- この態様によれば、画素毎に開孔されたコンタクトホールを介して容量線と遮光膜とは接続されているので、遮光膜による容量線の低抵抗化を促進でき、更に、
20 両者間における冗長構造の度合いを高められる。

本発明の第3の液晶装置の他の態様では、前記コンタクトホールは、複数の画素からなる画素グループ毎に開孔されていることを特徴とする。

- この態様によれば、複数の画素からなる画素グループ毎に開孔されたコンタクトホールを介して容量線と遮光膜とは接続されているので、容量線や遮光膜のシート抵抗、駆動周波数、要求される仕様等を勘案しつつ、遮光膜による容量線の低抵抗化及び冗長構造による利益と、多数のコンタクトホールを開孔することによる製造工程の複雑化或いは液晶装置の不良化等の弊害とを適度にバランスできるので、実践上大変有利である。
- 25

本発明の第3の液晶装置の他の態様では、前記コンタクトホールは、前記一对の基板の他方の基板の側から見て前記データ線の下に開孔されていることを特徴とする。

この態様によれば、コンタクトホールは、データ線の下に開孔されている。即ち、コンタクトホールは、画素開口領域から外れており、しかも薄膜トランジスタや該薄膜トランジスタの半導体層から延設された蓄積容量の一方の電極が形成されていない第1層間絶縁膜の部分に設けられているので、画素領域の有効利用を図れる。

本発明の第3の液晶装置の他の態様では、前記容量線及び前記遮光膜は、定電位源に接続されていることを特徴とする。

この態様によれば、遮光膜は定電位源に接続されているので、遮光膜は定電位とされる。従って、遮光膜に対向配置される薄膜トランジスタに対し遮光膜の電位変動が悪影響を及ぼすことはない。そして、容量線も定電位とされるので、蓄積容量電極として良好に機能し得る。この場合、定電位源の定電位としては、例えば接地電位に等しくてもよい。

本発明の第3の液晶装置の他の態様では、前記定電位源は、当該液晶装置を駆動するための周辺回路に供給される定電位源であることを特徴とする。

この態様によれば、定電位源は、走査線駆動回路、データ線駆動回路、サンプリング回路などの周辺回路に供給される、負電源、正電源等の定電位源であるので、特別な電位配線や外部回路接続端子を設ける必要なく、遮光膜及び容量線を定電位にできる。

本発明の第3の液晶装置の他の態様では、前記一对の基板の他方の基板に対向電極が形成されており、前記定電位源は、該対向電極に供給される定電位源であることを特徴とする。

この態様によれば、定電位源は、対向電極に供給される、負電源、正電源等の定電位源であるので、特別な電位配線や外部回路接続端子を設ける必要なく、遮光膜及び容量線を定電位にできる。

本発明の第3の液晶装置の他の態様は、前記容量線は、前記複数の走査線に沿って夫々形成された配線部分を含み、前記遮光膜は、該容量線の部分を前記一方

の基板の側から見て夫々重なるように前記走査線に沿って形成された配線部分を
含むことを特徴とする。

この態様によれば、複数の走査線に沿って夫々形成された容量線の配線部分と
遮光膜の配線部分とを相互に電気接続することにより、容量線を走査線に沿った
5 方向に低抵抗化できると共に、前述した容量線の冗長構造における冗長度を、特
に走査線に沿った方向について高められる。

本発明の第3の液晶装置の他の態様は、前記遮光膜は、前記複数の走査線及び
前記複数の容量線の少なくともどちらか一方と、前記複数のデータ線を前記一方
の基板の側から見て夫々重なる位置に網目状に設けられていることを特徴とする。

10 この態様によれば、遮光膜は、網目状に設けられているので、遮光膜に電気接
続された容量線の低抵抗化を促進でき、更に、両者間における冗長構造の度合い
を高められる。

本発明は第3の液晶装置の他の態様では、前記遮光膜は、前記複数の走査線及
び前記複数の容量線の少なくともどちらか一方と、前記一方の基板の側から見て
15 夫々重なる位置に縞状に設けられていることを特徴とする。

この態様によれば、遮光膜は、縞状に設けられているので、遮光膜に電気接続
された容量線の、特に走査線に沿った方向における低抵抗化を促進でき、更に、
両者間における冗長構造の度合いを高められる。

本発明の第3の液晶装置の他の態様では、前記遮光膜は、前記複数の走査線及
20 び前記複数の容量線の少なくともどちらか一方と、前記一方の基板の側から見て
夫々重なる位置に島状に設けられると共に前記走査線に沿って複数配列された島
状の各部分が前記容量線を介して相互に電気接続されていることを特徴とする。

この態様によれば、遮光膜は、島状に設けられており且つ走査線に沿って複数
配列された島状の各部分が容量線を介して相互に電気接続されているので、容量
25 線の低抵抗化を促進でき、更に、両者間における冗長構造の度合いを高められる。

本発明の第3の液晶装置の他の態様では、前記遮光膜は前記データ線に沿って
縞状に設けられていることを特徴とする。

この態様によれば、データ線に沿って延設することにより、開口率を落とすこ
となく、形成することが可能となる。さらに、例えば走査線や容量線に沿って遮

光膜を形成した場合は、画素電極と半導体層とを接続するコンタクトホールが近くに形成されることがある。その際、層間絶縁膜により抑えられている遮光膜の応力が、遮光膜近くに配置された画素電極と半導体層とのコンタクトホールの開孔により開放されて遮光膜にクラックが発生する恐れがある。しかしながら、データ線に沿って遮光膜を形成すれば、遮光膜を画素電極と半導体層とのコンタクトホールから離すことが可能となり、遮光膜の応力の影響をできるだけ緩和することができる。また、データ線に沿った遮光膜を容量線と接続すれば、容量線の低抵抗化を行うことも可能となる。

本発明の第3の液晶装置の他の態様では、前記遮光膜は定電位源に接続されていることを特徴とする。

この態様によれば、遮光膜に対向配置される薄膜トランジスタに対し遮光膜の電位変動が悪影響を及ぼすことを防ぐことができる。

本発明の第3の液晶装置の他の態様では、前記遮光膜は、Ti、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含むことを特徴とする。

この態様によれば、遮光膜は、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、例えば、金属単体、合金、金属シリサイド等から構成されるため、TFTアレイ基板上の遮光膜形成工程の後に行われるTFT形成工程における高温処理により、遮光膜が破壊されたり溶融しないようにできる。

本発明の第3の液晶装置の他の態様では、前記走査線上且つ前記データ線下に設けられた第2層間絶縁膜と、前記データ線上且つ前記画素電極下に設けられた第3層間絶縁膜とを更に備えており、前記第1、第2及び第3層間絶縁膜のうち少なくとも一つは、前記薄膜トランジスタ、前記データ線、前記走査線及び前記容量線のうち少なくとも一つに対向する部分が凹状に窪んで形成されることにより、前記第3層間絶縁膜の前記液晶に面する側が平坦化されていることを特徴とする。

本発明の第3の液晶装置の他の態様では、第1、第2及び第3層間絶縁膜のうち少なくとも一つが凹状に窪んで形成されることにより、第3層間絶縁膜の液晶に面する側が平坦化されているので、当該平坦化の度合いに応じて第3層間絶縁

膜の表面の凹凸により引き起こされる液晶のディスクリネーション（配向不良）を低減できる。

本発明は、第3の液晶装置を備えた電子機器であることを特徴とする。

- この態様によれば、電子機器は、上述した本願発明の液晶装置を備えているため、冗長構造により装置の信頼性が高く、横クロストーク等の表示劣化が低減されており且つ戻り光等に対する遮光性能に優れた液晶装置により高品位の画像表示が可能となる。

本発明のこのような作用及び他の利得は次に説明する実施形態から明らかにする。

10 【図面の簡単な説明】

図1は、液晶装置の第1実施形態における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

図2は、液晶装置の第1実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

- 15 図3は、図2のA-A'断面図である。

図4は、液晶装置の第1実施形態におけるTFTアレイ基板上に設けられた画素部及び周辺回路のブロック図である。

図5は、プリチャージに係る各種信号のタイミングチャートである。

- 20 図6は、液晶装置の第1実施形態の製造プロセスを順を追って示す工程図（その1）である。

図7は、液晶装置の第1実施形態の製造プロセスを順を追って示す工程図（その2）である。

図8は、液晶装置の第1実施形態の製造プロセスを順を追って示す工程図（その3）である。

- 25 図9は、液晶装置の第1実施形態の製造プロセスを順を追って示す工程図（その4）である。

図10は、液晶装置の第2実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

図11は、液晶装置の第3実施形態におけるデータ線、走査線、画素電極、遮

光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

図12は、液晶装置の第4実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

図13は、液晶装置の第5実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

図14は、液晶装置の第6実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

図15は、液晶装置の第7実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

図16は、液晶装置の第8実施形態における図2のA-A'断面図である。

図17は、液晶装置の第9実施形態における図2のA-A'断面図である。

図18は、液晶装置の各実施形態におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

図19は、図18のH-H'断面図である。

図20は、横クロストークによる表示劣化を説明するための概念図である。

図21は、液晶装置を用いた電子機器の一例である投射型表示装置の構成図である。

〔発明を実施するための最良の形態〕

以下、本発明の実施形態を図面に基いて説明する。

(液晶装置の第1実施形態の構成及び動作)

本発明による液晶装置の第1実施形態の構成及び動作について、図1から図5を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。図4は、TFTアレイ基板上の遮光膜の2次元的な配線レイアウトを周辺回路と共に示す平面図であり、図5は、プリチャージに係る各種信号のタイミングチャートである。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

図1において、本実施形態による液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aと当該画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号を供給するデータ線6aが当該TFT30のソース領域に電気接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。尚、蓄積容量70を形成する方法としては、容量を形成するための配線である容量線3bを設けても良いし、前段の走査線3aとの間で容量を形成しても良いことは言うまでもない。

図2において、液晶装置のTFTアレイ基板には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介してポリシリコン膜からなる半導体層1aのうち後述のソース領域に電気接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電気接続されている。また、半導体層1aのうち後述のチャネル領域（図中右下りの斜線の領域）に対向するように走査線3aが配置されている。そして、

図中右上がりの斜線で示した領域に画素部における第1遮光膜11aが設けられている。即ち第1遮光膜11aは、画素部において、半導体層1aのチャネル領域を含むTFT、データ線6a、走査線3a及び容量線3bをTFTアレイ基板の側から見て各々重なる位置に設けられている。

- 5 図3に示すように、液晶装置は、透明な一方の基板の一例を構成するTFTアレイ基板10と、これに対向配置される透明な他方の基板の一例を構成する対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング
- 10 処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO (Indium Tin Oxide)膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

- 他方、対向基板20には、その全面に渡って対向電極（共通電極）21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜
- 15 22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

- TFTアレイ基板10には、図3に示すように、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

- 20 対向基板20には、更に図3に示すように、各画素の開口領域以外の領域に第2遮光膜23が設けられている。このため、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャネル領域1a'や低濃度ソース領域領域1b及び低濃度ドレイン領域1cに侵入することはない。更に、第2遮光膜23は、コントラストの向上、色材の混色防止などの機能を有する。

- 25 このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材52（図18及び図19参照）により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜により所定の配向状態を採る。

図3に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレ基板10と各画素スイッチング用TFT30との間には、画素に沿って網目状に第1遮光膜11aが各々設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。

5 このような材料から構成すれば、TFTアレ基板10上の第1遮光膜11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。第1遮光膜11aが形成されているので、TFTアレ基板10の側からの戻り光等が

10 画素スイッチング用TFT30のチャンネル領域1a'や低濃度ソース領域1b、低濃度ドレイン領域1cに入射する事態を未然に防ぐことができ、光電流の発生により画素スイッチング用TFT30の特性が劣化することはない。

更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間には、第1層間絶縁膜12が設けられている。第1層間絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電氣的に絶縁するために設けられるものである。更に、第1層間絶縁膜12は、TFTアレ基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能をも有する。即ち、TFTアレ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣

15 化を防止する機能を有する。第1層間絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

本実施形態では、ゲート絶縁膜となる絶縁薄膜2を走査線3aの一部からなるゲート電極に対向する位置から延設して誘電体膜として用い、半導体層1aを延設して第1蓄積容量電極1fとし、更にこれらに対向する容量線3bの一部を第

25 2蓄積容量電極とすることにより、蓄積容量70が構成されている。より詳細には、半導体層1aの高濃度ドレイン領域1eが、データ線6a及び走査線3aの下に延設されて、同じくデータ線6a及び走査線3aに沿って延びる容量線3b部分に絶縁薄膜2を介して対向配置されて、第1蓄積容量電極1fとされている。特に蓄積容量70の誘電体としての絶縁薄膜2は、高温酸化によりポリシリコン

膜上に形成されるTFT30のゲート絶縁膜の場合、薄く且つ高耐圧の絶縁膜とすることができ、蓄積容量70は比較的小面積で大容量の蓄積容量として構成できる。

これらの結果、データ線6a下の領域及び走査線3aに平行な領域（即ち、容量線3bが形成された領域）という開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やすことが出来る。

本実施形態では特に、容量線3bと、第1遮光膜11aがコンタクトホール13を介して電気接続されている。このため、容量線3bの抵抗を、第1遮光膜11aの抵抗により顕著に低められる。本実施形態では、容量線3bは、例えばシート抵抗値が25Ω/□程度のポリシリコン膜から形成されているので、対角1.3インチや0.9インチ程度の小型の液晶装置の場合には、100～200KΩ程度の抵抗を有するが、第1遮光膜11aは、導電性の高融点金属膜から形成されているので、容量線3bにおける走査線3aに沿った方向の抵抗は、大幅に低抵抗化される。

この結果、容量線3bの時定数についても、第1遮光膜11aの存在により、例えば、十数μ秒程度から数μ秒程度にまで小さくすることが出来る。従って、データ線6aの下を交差して配線された容量線3bにおける各データ線6aとの容量カップリングにより、容量線3bの電位が揺れることに起因した横クロストークやゴースト等の発生を低減できる。即ち、図20に示したように、灰色を背景として黒部分がハイコントラストで描かれた画像801を表示しようとする場合、黒表示すべき部分的に異なる電圧の画像信号が与えられる時点が各走査線毎の書き込みの終了時点に近い時点であっても、画像802のような表示劣化の問題は起こらない。そして、特に当該液晶装置を前述のようにXGA、SXGA等の駆動周波数の高い機種として構成しても、容量線3bの時定数が十分に小さくされているため、やはり横クロストークやゴースト等の発生を低減できる。

従って、このような横クロストークやゴースト等の防止のために、前述の如きデータ線6a毎や画素毎に液晶駆動電圧の極性を反転させる方式を採用する必要性は無く、逆に、液晶層50のディスクリネーションを低減することができ且つ画素開口率を高めるのに適した、走査線3a毎に液晶駆動電圧を反転させる走査

線反転駆動方式（所謂1H反転駆動方式）を採用できる。

本実施形態ではさらに、第1遮光膜11a（及びこれに電気接続された容量線3b）は定電位源に電気接続されており、第1遮光膜11a及び容量線3bは、定電位とされる。従って、第1遮光膜11aに対向配置される画素スイッチング用TFT30に対し第1遮光膜11aの電位変動が悪影響を及ぼすのを防ぐことができる。また、容量線3bは、蓄積容量70の第2蓄積容量電極として良好に機能し得る。この場合、定電位源としては、当該液晶装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路、サンプリング回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極21に供給される定電位源等が挙げられる。このように周辺回路等の電源を利用すれば、専用の電位配線や外部回路接続端子を設ける必要なく、第1遮光膜11a及び容量線3bを定電位にできる。

図3において、画素スイッチング用TFT30は、LDD（Lightly Doped Drain）構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁する絶縁薄膜2、データ線6a、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。本実施形態では特にデータ線6aは、Al等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。

また、走査線3a、絶縁薄膜2及び第1層間絶縁膜12の上には、高濃度ソース領域1dへ通じるコンタクトホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール8が各々形成された第2層間絶縁膜4が形成されている。コンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電気接続されている。更に、データ線6a及び第2層間絶縁膜4の上には、第3層間絶縁膜7が形成されている。高濃度ドレイン領域1eはコンタクトホール8を介して画素電極9aに電気接続されている。尚、画素電極9aと高濃度ドレイン領域1eとは、データ線6aと同一のAl膜や走査線3bと同一のポリシリコン膜を中継しての電気接続するようにしてもよい。

画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つ

が、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の T F T であってもよい。

- 5 また本実施形態では、画素スイッチング用 T F T 3 0 の走査線 3 a の一部からなるゲート電極をソース・ドレイン領域間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）或いはトリプルゲート以上で T F T を構成すれば、チャンネル
10 とソース・ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも 1 個を L D D 構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

- 15 ここで、一般には、半導体層 1 a のチャンネル領域 1 a'、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 等を形成するポリシリコン膜は、光が入射するとポリシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用 T F T 3 0 のトランジスタ特性が劣化するが、本実施形態では、走査線 3 a を上側から重なるようにデータ線 6 a が A l 等の遮光性の金属薄膜から形成されているので、少なくとも半導体層 1 a のチャンネル領域 1 a' 及び低濃度ソース
20 領域 1 b、低濃度ドレイン領域 1 c への入射光（即ち、図 3 で上側からの光）の入射を効果的に防ぐことが出来る。また、前述のように、画素スイッチング用 T F T 3 0 の下側には、第 1 遮光膜 1 1 a が設けられているので、少なくとも半導体層 1 a のチャンネル領域 1 a' 及び低濃度ソース領域 1 b、低濃度ドレイン領域 1 c への戻り光（即ち、図 3 で下側からの光）の入射を効果的に防ぐことが出来る。
25 する。

次に、本実施形態において T F T アレイ基板 1 0 上に設けられる周辺回路の構成について、図 4 を参照して説明する。

図 4 において、液晶装置は周辺回路として、データ線 6 a を駆動するデータ線駆動回路 1 0 1 と、走査線 3 a を駆動する走査線駆動回路 1 0 4 と、複数のデー

データ線 6 a に所定電圧レベルのプリチャージ信号 (NRS) を画像信号 S 1、S 2、
…、S n の供給に先行して夫々供給するプリチャージ回路 2 0 1 と、画像信号線
に供給される画像信号 S 1、S 2、…、S n をサンプリングして複数のデータ線
6 a に夫々供給するサンプリング回路 3 0 1 とを備える。

- 5 走査線駆動回路 1 0 4 は、外部制御回路から供給される電源、基準クロック C
LY 及びその反転クロック等に基づいて、所定タイミングで走査線 3 a に走査信
号 G 1、G 2、…、G m をパルス的に線順次で印加する。

- データ線駆動回路 1 0 1 は、外部制御回路から供給される電源、基準クロック
CLX 及びその反転クロック等に基づいて、走査線駆動回路 1 0 4 が走査信号 G
10 1、G 2、…、G m を印加するタイミングに合わせて、データ線 6 a 毎にサン
プリング回路駆動信号としてのシフトレジスタからの転送信号 X 1、X 2、…、X
n を、サンプリング回路 3 0 1 にサンプリング回路駆動信号線 3 0 6 を介して所
定タイミングで供給する。

- プリチャージ回路 2 0 1 は、スイッチング素子として、例えば TFT 2 0 2 を
15 各データ線 6 a 毎に備えており、プリチャージ信号線 2 0 4 が TFT 2 0 2 のド
レイン又はソースに接続されており、プリチャージ回路駆動信号線 2 0 6 が TFT
T 2 0 2 のゲート電極に接続されている。そして、動作時には、プリチャージ信
号線 2 0 4 を介して、外部電源からプリチャージ信号 (NRS) を書き込むため
に必要な所定電圧の電源が供給され、プリチャージ回路駆動信号線 2 0 6 を介し
て、各データ線 6 a について画像信号 S 1、S 2、…、S n の供給に先行するタ
20 イミングでプリチャージ信号 (NRS) を書き込むように、外部制御回路からプ
リチャージ回路駆動信号 (NRG) が供給される。プリチャージ回路 2 0 1 は、
好ましくは中間階調レベルの画像信号 S 1、S 2、…、S n に相当するプリチャ
ージ信号 (NRS) (画像補助信号) を供給する。

- 25 サンプリング回路 3 0 1 は、TFT 3 0 2 を各データ線 6 a 毎に備えており、
画像信号線 3 0 4 が TFT 3 0 2 のドレイン又はソース電極に接続されており、
サンプリング回路駆動信号線 3 0 6 が TFT 3 0 2 のゲート電極に接続されてい
る。そして、画像信号線 3 0 4 を介して、画像信号 S 1、S 2、…、S n が入力
されると、これらをサンプリングする。即ち、サンプリング回路駆動信号線 3 0

6を介してデータ線駆動回路101からサンプリング回路駆動信号としての転送信号X1、X2、…、Xnが入力されると、画像信号線304夫々からの画像信号S1、S2、…、Snをデータ線6aに順次印加する。

5 このように本実施形態では、データ線6aを一本毎に選択するように構成されているが、データ線6aを複数本毎にまとめて同時選択するように構成してもよい。例えば、サンプリング回路301を構成するTFT302の書き込み特性及び画像信号の周波数に応じて、複数相（例えば、3相、6相、12相、…）にシリアル-パラレル変換された画像信号S1、S2、…、Snを画像信号線304から供給して、これらをグループ毎に同時にサンプリングするように構成しても
10 よい。この際、少なくともシリアル-パラレル変換数だけ画像信号線304が必要なことは言うまでもない。

ここで、本実施形態の液晶装置において行われるプリチャージについて図5を参照して説明を加える。

図5に示すように、データ線駆動回路101が有するシフトレジスタには、一
15 画素当りの選択時間 t_1 を規定するクロック信号(C LX)が水平走査の基準として入力されるが、転送スタート信号(D X)が入力されると、このシフトレジスタから転送信号X1、X2、…が順次供給される。各水平走査期間において、このような転送スタート信号(D X)の入力に先行するタイミングで、プリチャージ回路駆動信号(N R G)がプリチャージ回路201に供給される。より具体的には、垂直走査の基準とされるクロック信号(C L Y)がハイレベルとなると
20 共に画像信号(V I D)が信号の電圧中心値(V I D 中心)を基準として極性反転した後、この極性反転からプリチャージをするまでのマージンである時間 t_3 経過後に、プリチャージ回路駆動信号(N R G)は、ハイレベルとされる。他方、プリチャージ信号(N R S)は、画像信号(V I D)の反転に対応して、水平帰
25 線期間で画像信号(V I D)と同極性の所定レベルとされる。従って、プリチャージ回路駆動信号(N R G)がハイレベルとされる時間 t_2 において、プリチャージが行われる。そして、水平帰線期間が終了して有効表示期間が始まる時点よりも時間 t_4 だけ前に、即ち、プリチャージが終了してから画像信号が書き込まれるまでのマージンを時間 t_4 として、プリチャージ回路駆動信号(N R G)は、

ローレベルとされる。以上のように、プリチャージ回路201は、各水平帰線期間において、プリチャージ信号(NRS)を画像信号に先行して複数のデータ線6aに供給する。

図5において、水平帰線期間内にプリチャージを行っているが、前述したデータ線6aと容量線3bとの容量カップリングによる容量線3bの電位の揺れは、時間t5内で安定に向かう。従って、時間t5が長くなるように各信号のタイミングを設定すれば、このような容量線3bの電位の揺れは防止できるようなも考えられる。しかしながら、この時間t5を長くすると、今度は、時間t3、t2、t4を短くする必要性が生じる。ここで、時間t3を余り短くすると、プリチャージ回路を構成するTFT等のゲート遅延によりプリチャージ回路駆動信号(NRG)がハイレベルとなった時点で前段の走査線に係るTFT30のゲートがオンしてしまう危険が出て来る。また、時間t2を短くしたのでは、プリチャージの能力が低下してしまうか或いは電荷供給能力の高いプリチャージ回路が必要となってしまう。更に又、時間t4を短くしたのでは、プリチャージ信号と画像信号とが同時にデータ線6aに印加されかねない。従って、プリチャージを良好に行うためには、容量カップリングによる容量線3bの電位揺れを安定させる時間t5を安易に長くすることは出来ない。しかるに、本実施形態によれば、第1遮光膜11aにより容量線3bの抵抗を大幅に下げると共に時定数を大幅に下げるので、容量線3bの時定数に対する時間t5を相対的に長くすることができるのである。

このようにプリチャージを行う場合にも、本実施形態では、プリチャージするための水平帰線期間を十分な長さだけ確保しつつ、容量カップリングによる容量線3bの電位の揺れが安定するまでの時間t5を実質的に十分に確保できる。

以上の結果、本実施形態によれば、駆動周波数が高い場合にも、プリチャージ及び前述の走査線反転駆動を良好に行いつつ、しかも容量カップリングによる横クロストークやゴースト等を防止できるので、極めて高品位の画像表示が可能となる。

これらに加えて本実施形態によれば、異物等により容量線3bが途中で断線しても、第1遮光膜11aが容量線3bの代わりになるという、冗長構造が実現さ

れている。即ち、容量線 3 b が途中で断線しても断線部の両側がコンタクトホール 1 3 を介して第 1 遮光膜 1 1 a により相互に電気接続されていれば、実用上の問題は生じない。従って、本実施形態によれば、不良品率が低く、信頼性の高い高品位の画像表示が可能な液晶装置を実現できる。

- 5 また、容量線 3 b と走査線 3 a とは、同一のポリシリコン膜からなり、蓄積容量 7 0 の誘電体膜と T F T 3 0 のゲート絶縁膜となる絶縁薄膜 2 とは、同一の高温酸化膜を含み、第 1 蓄積容量電極 1 f と、T F T 3 0 のチャネル領域 1 a'、高濃度ソース領域 1 d、高濃度ドレイン領域 1 e 等とは、同一の半導体層 1 a からなる。このため、T F T アレイ基板 1 0 上に形成される積層構造を単純化でき、
- 10 更に、後述の液晶装置の製造方法において、同一の薄膜形成工程で容量線 3 b 及び走査線 3 a を同時に形成でき、蓄積容量 7 0 の誘電体膜及び絶縁薄膜 2 を同時に形成できる。

- 本実施形態では特に、容量線 3 b と第 1 遮光膜 1 1 a とは、第 1 層間絶縁膜 1 2 に開孔されたコンタクトホール 1 3 を介して確実に且つ高い信頼性を持って、
- 15 両者は電気接続されているが、このようなコンタクトホール 1 3 は、画素毎に開孔されても良く、複数の画素からなる画素グループ毎に開孔されても良い。

- コンタクトホール 1 3 を画素毎に開孔した場合には、第 1 遮光膜 1 1 a による容量線 3 b の低抵抗化を促進でき、更に、両者間における冗長構造の度合いを高められる。他方、コンタクトホール 1 3 を複数の画素からなる画素グループ毎に
- 20 (例えば 2 画素毎に或いは 3 画素毎に) 開孔した場合には、容量線 3 b や第 1 遮光膜 1 1 a のシート抵抗、駆動周波数、要求される仕様等を勘案しつつ、第 1 遮光膜 1 1 a による容量線 3 b の低抵抗化及び冗長構造による利益と、多数のコンタクトホール 1 3 を開孔することによる製造工程の複雑化或いは当該液晶装置の不良化等の弊害とを適度にバランスできるので、実践上大変有利である。

- 25 また、本実施形態では特に、このような画素毎或いは画素グループ毎に設けられるコンタクトホール 1 3 は、対向基板 2 0 の側から見てデータ線 6 a の下に開孔されている。このため、コンタクトホール 1 3 は、画素開口領域から外れており、しかも T F T 3 0 や第 1 蓄積容量電極 1 f が形成されていない第 1 層間絶縁膜 1 2 の部分に設けられているので、画素領域の有効利用を図りつつ、コンタク

トホール13の形成によるTFT30や他の配線等の不良化を防ぐことができる。

(液晶装置の第1実施形態の製造プロセス)

次に、以上のような構成を持つ液晶装置の第1実施形態の製造プロセスについて、図6から図9を参照して説明する。尚、図6から図9は各工程におけるTFT
5 Tアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて示す工程図である。

図6の工程(1)に示すように、石英基板、ハードガラス基板、シリコン基板等のTFTアレイ基板10を用意する。ここで、好ましくはN₂(窒素)等の不
10 活性ガス雰囲気且つ約900~1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。

このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、
15 Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜11を形成する。

続いて、工程(2)に示すように遮光膜11に対しエッチングを行うことにより、第1遮光膜11aを形成する。

20 次に工程(3)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG(ノンシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボ
25 ロシリンシリケートガラス)などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜12を形成する。この第1層間絶縁膜12の膜厚は、例えば、約500~2000nmとする。

次に工程(4)に示すように、第1層間絶縁膜12の上に、約450~550℃、好ましくは約500℃の比較的低温環境中で、流量約400~600cc/mi

nのモノシランガス、ジシランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間のアニール処理を施することにより、ポリシリコン膜1を約50～200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。

この際、図3に示した画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb（アンチモン）、As（砒素）、P（リン）などのV族元素の不純物イオンを僅かにイオン注入等によりドーピングしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B（ボロン）、Ga（ガリウム）、In（インジウム）などのIII族元素の不純物イオンを僅かにイオン注入等によりドーピングしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後アニール処理等により再結晶化させてポリシリコン膜1を形成しても良い。

次に工程（5）に示すように、図2に示した如き所定パターンの半導体層1aを形成する。即ち、特にデータ線6a下で容量線3bが形成される領域及び走査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TFT30を構成する半導体層1aから延設された第1蓄積容量電極1fを形成する。

次に工程（6）に示すように、画素スイッチング用TFT30を構成する半導体層1aと共に第1蓄積容量電極1fを約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約30nmの比較的薄い厚さの熱酸化シリコン膜を形成し、更に減圧CVD法等により高温酸化シリコン膜（HTO膜）や窒化シリコン膜を約50nmの比較的薄い厚さに堆積し、多層構造を持つ画素スイッチング用TFT30のゲート絶縁膜と共に容量形成用の誘電体膜となる絶縁薄膜2を形成する（図3参照）。この結果、半導体層1a及び第1蓄積容量電極1fの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁薄膜2の厚さは、約20～150nmの厚さ、好ま

しくは約30～100nmの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン膜1を熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。

- 5 尚、工程(6)において特に限定されないが、第1蓄積容量電極1fとなる半導体層部分に、例えば、Pイオンをドーズ量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、低抵抗化させてもよい。

- 次に、工程(7)において、第1層間絶縁膜12に第1遮光膜11aに至るコンタクトホール13を反応性イオンエッチング、反応性イオンビームエッチング
10 等のドライエッチングにより或いはウエットエッチングにより形成する。この際、反応性イオンエッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール13等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウエットエッチングとを組み合わせると開孔すれば、これらのコンタクトホール13等をテーパ状
15 にできるので、配線接続時の断線を防止できるという利点を得られる。

次に工程(8)に示すように、減圧CVD法等によりポリシリコン膜3を堆積した後、Pを熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーピングシリコン膜を用いてもよい。

- 次に、図7の工程(9)に示すように、図2に示した如き所定パターンの走査
20 線3aと共に容量線3bを形成する。これらの走査線3a及び容量線3bの膜厚は、例えば、約350nmとされる。

- 次に工程(10)に示すように、図3に示した画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3a
25 の一部となるゲート電極を拡散マスクとして、PなどのV族元素の不純物イオン60を低濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて)ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。この不純物イオンのドーピングにより容量線3b及び走査線3aも低抵抗化される。

続いて、工程（１１）に示すように、画素スイッチング用ＴＦＴ３０を構成する高濃度ソース領域１ｄ及び高濃度ドレイン領域１ｅを形成するために、走査線３ａよりも幅の広いマスクでレジスト層６２を走査線３ａ上に形成した後、同じくＰなどのＶ族元素の不純物イオン６１を高濃度で（例えば、Ｐイオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量にて）ドーピングする。また、画素スイッチング用ＴＦＴ３０をｐチャネル型とする場合、半導体層１ａに、低濃度ソース領域１ｂ及び低濃度ドレイン領域１ｃ並びに高濃度ソース領域１ｄ及び高濃度ドレイン領域１ｅを形成するために、Ｂ（ボロン）などのⅢ族元素の不純物イオンを用いてドーピングする。尚、例えば、低濃度の不純物イオンのドーピングを行わずに、オフセット構造のＴＦＴとしてもよく、走査線３ａの一部であるゲート電極をマスクとして、Ｐイオン、Ｂイオン等を用いたイオン注入技術によりセルフアライン型のＴＦＴとしてもよい。

この不純物のドーピングにより容量線３ｂ及び走査線３ａも更に低抵抗化される。

また、工程（１０）及び工程（１１）を再度繰り返し、ＢイオンなどのⅢ族元素の不純物イオンを行うことにより、ｐチャネル型ＴＦＴを形成することができる。これにより、ｎチャネル型ＴＦＴ及びｐチャネル型ＴＦＴから構成される相補型構造を持つデータ線駆動回路１０１及び走査線駆動回路１０４をＴＦＴアレイ基板１０上の周辺部に形成することが可能となる。このように、画素スイッチング用ＴＦＴ３０を構成する半導体層１ａをポリシリコン膜で形成すれば、画素スイッチング用ＴＦＴ３０の形成時にほぼ同一工程で、データ線駆動回路１０１及び走査線駆動回路１０４を形成することができ、製造上有利である。

次に工程（１２）に示すように、画素スイッチング用ＴＦＴ３０における走査線３ａと共に容量線３ｂを覆うように、例えば、常圧又は減圧ＣＶＤ法やＴＥＯＳガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第２層間絶縁膜４を形成する。第２層間絶縁膜４の膜厚は、約５００～１５００ｎｍが好ましい。

次に工程（１３）の段階で、高濃度ソース領域１ｄ及び高濃度ドレイン領域１ｅを活性化するために約１０００℃のアニール処理を２０分程度行った後、データ線６ａに対するコンタクトホール５を、反応性イオンエッチング、反応性イオ

ンビームエッチング等のドライエッチングにより或いはウェットエッチングにより形成する。また、走査線 3 a や容量線 3 b を図示しない配線と接続するためのコンタクトホールも、コンタクトホール 5 と同一の工程により第 2 層間絶縁膜 4 に開孔する。

- 5 次に図 8 の工程 (14) に示すように、第 2 層間絶縁膜 4 の上に、スパッタリング等により、遮光性の Al 等の低抵抗金属や金属シリサイド等を金属膜 6 として、約 100~500 nm の厚さ、好ましくは約 300 nm に堆積し、更に工程 (15) に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線 6 a を形成する。
- 10 次に工程 (16) に示すように、データ線 6 a 上を覆うように、例えば、常圧又は減圧 CVD 法や TEOS ガス等を用いて、NSG、PSG、BSG、BPSG などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 3 層間絶縁膜 7 を形成する。第 3 層間絶縁膜 7 の膜厚は、約 500~1500 nm が好ましい。
- 15 次に図 9 の工程 (17) の段階において、画素スイッチング用 TFT 30 において、画素電極 9 a と高濃度ドレイン領域 1 e とを電気接続するためのコンタクトホール 8 を、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。

- 20 次に工程 (18) に示すように、第 3 層間絶縁膜 7 の上に、スパッタリング等により、ITO 膜等の透明導電性薄膜 9 を、約 50~200 nm の厚さに堆積し、更に工程 (19) に示すように、画素電極 9 a を形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al 等の反射率の高い不透明な材料から画素電極 9 a を形成してもよい。

- 25 続いて、画素電極 9 a の上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜 16 (図 3 参照) が形成される。

他方、図 3 に示した対向基板 20 については、ガラス基板等が先ず用意され、第 2 遮光膜 23 及び後述の額縁としての第 3 遮光膜 (図 18 及び図 19 参照) が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチン

グ工程を経て形成される。尚、これらの第2遮光膜は、Cr、Ni（ニッケル）、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

その後、対向基板20の全面にスパッタリング等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22（図3参照）が形成される。

最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するようにシール材52により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定膜厚の液晶層50が形成される。

（液晶装置の第2実施形態）

本発明による液晶装置の第2実施形態について図10を参照して説明する。

上述した第1実施形態では、第1遮光膜11aを画素に沿って網目状に設けることにより、容量線3bの低抵抗化を促進でき、更に冗長構造の度合いを高めているが、第2実施形態では、第1遮光膜11aを、縞状（ストライプ状）に設ける。その他の構成については、第1実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図10は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

図10において、第1遮光膜11aは、走査線3aに沿って延びる複数の縞状（ストライプ状）部分から構成されている。即ち、第1遮光膜11aはデータ線6aに対向する所定の領域で分断されている。従って、第1遮光膜11aに電気接続された容量線3bの、特に走査線3aに沿った方向における低抵抗化を促進できる。また、容量線3bと第1遮光膜11aとの間における冗長構造の度合いを高められる。

尚、第2実施形態の変形例として、更に、第1遮光膜11aを、走査線3a及び容量線3bをTFTアレイ基板10の側から見て夫々重なる位置に縞状に設け

ると共に走査線 3 a に沿って複数配列された縞状の各部分を容量線 3 b を介して相互に電気接続されるように構成してもよい。このように構成しても、容量線 3 b の低抵抗化を促進でき、且つ冗長構造の度合いを高められる。

(液晶装置の第 3 実施形態)

- 5 本発明による液晶装置の第 3 実施形態について図 11 を参照して説明する。

上述した第 1 実施形態では、第 1 遮光膜 11 a を網目状（格子状）に設けることにより、容量線 3 b の低抵抗化を促進でき、更に冗長構造の度合いを高めているが、第 3 実施形態では、第 1 遮光膜 11 a を縞状に設け、チャネル領域 1 a' を覆う位置を除き、走査線 3 a に対向する位置には形成していない。その他の構成については、第 1 実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図 12 は、データ線、走査線、画素電極、遮光膜等が形成された TFT アレイ基板の相隣接する複数の画素群の平面図である。

- 15 図 11 に示すように、画素スイッチング用 TFT 30 に各々対向する位置において TFT アレイ基板 10 と各画素スイッチング用 TFT 30 との間には、第 1 遮光膜 11 a が各々設けられている。

また、図 11 に示したように、本実施形態では、コンタクトホール 13 を介して第 1 遮光膜 11 a は、隣接する前段あるいは後段に設けられた容量線 3 b に電気接続されている。従って、各第 1 遮光膜 11 a が、自段の容量線に電気接続される場合と比較して、画素部の開口領域の縁に沿って、データ線 6 a に重ねて容量線 3 b 及び第 1 遮光膜 11 a が形成される領域の他の領域に対する段差が少なくて済む。このように画素部の開口領域の縁に沿った段差が少ないと、当該段差に応じて引き起こされる液晶のディスクリネーション（配向不良）を低減できるので、画素部の開口領域を広げることが可能となる。

- 25 また、第 1 遮光膜 11 a は、前述のように直線状に伸びる本線部から突出した突出部にコンタクトホール 13 が開孔されている。ここで、コンタクトホール 13 の開孔箇所としては、縁に近い程、ストレスが縁から発散される等の理由により、クラックが生じ難いことが本願発明者の研究により判明している。従ってこの場合、どれだけ突出部の先端に近づけてコンタクトホール 13 を開孔するかに

応じて（好ましくは、マージンぎりぎりまで先端に近づけるかに応じて）、製造プロセス中に第1遮光膜11aにかかる応力が緩和されて、より効果的にクラックを防止し得、歩留まりを向上させることが可能となる。

更に本実施形態では特に、第1遮光膜11aは、チャネル領域1a'を覆う位置を除き、走査線3aに対向する位置には形成されていない。従って、第1遮光膜11aと各走査線3aとの間の容量カップリングが実践上殆ど又は全く生じないので、走査線3aにおける電位変動により、第1遮光膜11aにおける電位揺れが発生することはなく、その結果、容量線3bにおける電位揺れも発生しない。

尚、第3実施形態では、相隣接する前段あるいは後段の画素に設けられた容量線3bと第1遮光膜11aとを接続しているため、最上段あるいは最下段の画素に対して第1遮光膜11aに定電位を供給するための容量線3bが必要となる。そこで、容量線3bの数を垂直画素数に対して1本余分に設けておくようにすると良い。

尚、図11では、第1遮光膜11aにおける直線状の本線部分は、容量線3bの直線状の本線部分にほぼ重ねられるように形成されているが、第1遮光膜11aが、TFT30のチャネル領域を覆う位置に設けられており且つコンタクトホール13を形成可能なように容量線3bと何れかの箇所で重ねられていれば、TFTに対する遮光機能及び容量線3bに対する低抵抗化機能を発揮可能である。従って、例えば相隣接した走査線3aと容量線3bとの間にある走査線3aに沿った長手状の間隙領域や、走査線3aと若干重なる位置にまでも、当該第1遮光膜11aを設けてもよい。

（液晶装置の第4実施形態）

本発明による液晶装置の第4実施形態について図12を参照して説明する。

上述した第1から第3実施形態では、第1遮光膜11aのうち走査線3aや容量線3bに沿った本線部は、概ね容量線3bの下に形成されているが、第6実施形態では、このように走査線3aや容量線3bに沿った本線部は、概ね走査線3aの下に縞状に形成され、容量線3bの下には形成されていない。その他の構成については、第1実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図12は、データ線、走査

線、画素電極、遮光膜等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

図12において、液晶装置では特に、縞状の第1遮光膜11aの走査線3aに沿って伸びる本線部は、走査線3a下に配設されている。即ち、この本線部において第1遮光膜11a上には、例えば画素部におけるTFTを構成するゲート絶縁膜よりも遥かに厚い第1層間絶縁膜を介して走査線3aが形成されている。このため、仮に、製造プロセスにおいて意図しない突起等の異常形状部分が第1遮光膜11a上に形成された場合にも、この突起等が第1層間絶縁膜を突き破ることにより第1遮光膜11aが走査線3aとショートする可能性を極めて低く出来る。

上述の第1乃至第3実施形態のように第1遮光膜11a上に形成された突起等上に半導体層1a及び絶縁薄膜2並びに容量線3bが更に積層形成されている場合には（図3参照）、この突起等が半導体層1aを介して極薄い絶縁薄膜2を突き破って半導体層1aと容量線3bとがショートする可能性が高くなることを考慮すると、第4実施形態における、走査線3aに対向する位置に第1遮光膜11aが形成される構成は、工程歩留まりを向上させる上でより有利である。

従って更に、このように歩留まりを向上させる観点からは、第1遮光膜11aと容量線3bとが対向して形成される基板上領域をなるべく小さくすると共に第1遮光膜11aと走査線3aとが対向して形成される基板上領域をなるべく大きくすることが望ましい。このため、第4実施形態では図12に示すように、第1遮光膜11aと容量線3bとをコンタクトホール13により電気接続するために最低限必要な領域及びTFT30のチャネル領域（図中、右下がりの斜線部）を遮光するために最低限必要な領域を除く領域においては、第1遮光膜11aは、容量線3bに対向配置されることなく、走査線3aに対向配置されている。

以上の結果、第4実施形態により、第1遮光膜11aを容量線3bの低抵抗化のために用いても、極薄い絶縁薄膜2を介して対向配置される容量線3bと半導体層1aとがショートする可能性を実践上殆ど又は全く高めることがなく、最終的には当該液晶装置の歩留まりの向上を図れる。

（液晶装置の第5実施形態）

本発明による液晶装置の第5実施形態について図13を参照して説明する。

上述した第1実施形態乃至第4実施形態では、容量線3bと第1遮光膜11aとを電気接続するためのコンタクトホール13は、平面形状が四角形であるが、第5実施形態では、このコンタクトホールの平面形状を、真円、楕円等の円形にする。その他の構成については、第1実施形態乃至第4実施形態の場合と同様であり、本実施形態では第3実施形態のコンタクトホール13の形状を変形したものであり、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図13は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

- 10 図13において、容量線3bと第1遮光膜11aとを電気接続するためのコンタクトホール13は、基板に平行な平面形状が、円形であるように構成されている。

このように構成すれば、コンタクトホール13を開孔するためにウエットエッチング工程を製造プロセスに用いる場合に、第1遮光膜11aと第1層間絶縁膜12との界面にエッチング溶液が侵入して、クラックを発生させる可能性を低減できる。即ち、第3実施形態のように、平面形状が四角等の角部分を有するコンタクトホール13を、ウエットエッチングにより開孔しようとするれば、角部分に特にエッチング溶液が侵入し易く且つ応力集中も起き易いため、この角部分で第1遮光膜11a等にクラックが生じ易くなるのである。

- 20 これに対し、第1実施形態におけるコンタクトホール13をドライエッチング工程で開孔する場合には、第1層間絶縁膜12と第1遮光膜11aとの間の選択比との関係で、極薄い第1遮光膜11aをエッチングが突き抜けてしまう可能性が高い。このため本実施形態のように、円形のコンタクトホール13'を採用してのウエットエッチング工程は、突き抜け防止及びクラック防止の観点から実践上大変有利である。

以上の結果、第3実施形態により、コンタクトホール付近における配線の信頼性を高めることができ、当該液晶装置の歩留まりの向上を図れる。また、本実施形態のコンタクトホールの形状は、一例として第3実施形態の構成のコンタクトホールの形状を変形したが、本実施形態は、第1実施形態、第2実施形態、第4

実施形態にも適用可能である。

(液晶装置の第6実施形態)

本発明による液晶装置の第6実施形態について図14を参照して説明する。

5 上述した第1及び第5実施形態では、第1遮光膜11aは、コンタクトホール13又は13'を介して前段あるいは後段の容量線3bと電気接続されているが、第6実施形態では、各遮光膜は、自段の容量線に電気接続される。その他の構成については、第5実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図14は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

10 図14において、第1遮光膜11aは、画素部において半導体層1aのチャネル領域を含むTFTをTFTアレイ基板の側から見て覆う位置に設けられており、更に、容量線3bの直線状の本線部に対向して走査線3aに沿って直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って次段側（即ち、図中下向き）に突出した突出部と、データ線6aと交差する箇所からデータ線6aに沿って前段側（即ち、図中上向き）に突出した突出部とを有する。

15 この第1遮光膜11aの下向きの突出部は、チャネル領域を覆い、更に、コンタクトホール5を覆う位置まで下向きに延びている。

20 他方、第1遮光膜11aの上向きの突出部は、データ線6a下において容量線3bの上向きの突出部に重ねられており、この重なるの先端付近には、第1遮光膜11aと容量線3bとを電気接続する円形のコンタクトホール13'が設けられている。即ち、本実施形態では、各段（即ち、各画素の行）における第1遮光膜11aは、コンタクトホール13'により自段の容量線3bに電気接続されている。

25 このように構成すれば、データ線6aに重ねてTFT30、容量線3b及び第1遮光膜11aが形成される領域の他の領域に対する段差は大きくなるが、比較的容易に容量線3bと第1遮光膜11aとを電気接続することが可能となる。

更に、このように構成すれば、第1遮光膜11aの上向き突出部が、第1蓄積容量電極1fと重なるので、データ線6a下のスペースを利用して、第3蓄積容

量電極としての第1遮光膜11aと第1蓄積容量電極1fとの間に形成される蓄積容量70を大きく出来る利点も得られる。

尚、本実施形態においても、第3実施形態の場合と同様に、コンタクトホールを四角にして自段の容量線と遮光膜とを電気接続してもよい。また、第3実施形態では、自段の画素に設けられる容量線3bと第1遮光膜11aとを接続しているため、最上段あるいは最下段の画素に余分な容量線3bを設ける必要がないので有利である。

(液晶装置の第7実施形態)

本発明による液晶装置の第7実施形態について図15を用いて説明する。上述した第3あるいは第4実施形態においては、第1遮光膜11aは走査線3aあるいは容量線3bに沿って形成されているが、本実施形態では、データ線6aに素って形成されている。図中同一の構成には同一の参照符号を付し、それらの説明を省略する。尚、図15は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

図15に示されるように、第1遮光膜11aはコンタクトホール13'を介して接続されている。このような構成によれば、画素電極9aと半導体膜1aとを接続するためのコンタクトホール8から第1遮光膜11aの距離を離すことができるため、第1遮光膜11aを形成する金属膜の応力により、容量線3bと半導体1aが短絡し、点欠陥になることを防止することができる。また、第1遮光膜11aは、画素領域周辺で定電位線と接続することにより、電位を固定すると良い。

(液晶装置の第8実施形態)

上述した第1実施形態乃至第7実施形態では、TFT30、走査線3a、容量線3b、データ線6a等を形成した積層領域における他の領域に対する段差に対して、何等の平坦化処理も施していないが、第8実施形態では、第1層間絶縁膜12を凹状に形成することにより、このような平坦化処理を施すものである。その他の構成については、第1実施形態乃至第7実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図16は、図3のA-A'断面図である。即ち、第8実施形態の液晶装置の平面

図は、第1実施形態乃至第7実施形態と同じである。

図16において、第1層間絶縁膜12'は、TFT30、データ線6a、走査線3a及び容量線3bに対向する部分が凹状に窪んで形成されている。これにより、第3層間絶縁膜7の液晶層50に面する側が平坦化されている。従って、第4実施形態によれば、第3層間絶縁膜7の液晶層50に面する側が平坦化されているので、当該平坦化の度合いに応じて第3層間絶縁膜7の表面の凹凸により引き起こされる液晶のディスクリネーション（配向不良）を低減できる。この結果、第8実施形態によれば、より高品位の画像表示が可能となり、画素部の開口領域を広げることも可能となる。

- 10 尚、このように第1層間絶縁膜12'を形成する方法としては、第1層間絶縁膜12'を二層構造として、一層のみからなる薄い部分を凹状の窪み部分として二層の厚い部分を凹状の土手部分とするように薄膜形成及びエッチングを行なえばよい。或いは、第1層間絶縁膜12'を単一層構造として、エッチングにより凹状の窪みを開孔するようにしてもよい。これらの場合、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングを用いると、設計寸法通りに凹状部分を形成できる利点がある。一方、少なくともウェットエッチングを単独で又はドライエッチングと組み合わせて用いた場合には、図15に示したように凹状の窪みの側壁面をテーパ状に形成できるため、後工程で凹状の窪み内に形成されるポリシリコン膜、レジスト等の側壁周囲への残留を低減できるので、歩留まりの低下を招かない利点が見られる。TFTアレイ基板10に溝を形成して、配線やTFT30をその溝の領域に形成し、平坦化しても良い。
- 15
- 20

- 尚、本実施形態では、第3蓄積容量電極として第1遮光膜11aが第1蓄積容量電極1fと対向する部分においても、第1層間絶縁膜12'が薄いため、この部分における蓄積容量70が増大する利点も得られる。尚、上述の如き第8実施形態における平坦化技術は、第1乃至第7実施形態のいずれにも適用可能である。
- 25

（液晶装置の第9実施形態）

本発明による液晶装置の第9実施形態について図17を参照して説明する。

上述した第8実施形態では、第1層間絶縁膜12に凹状の窪みを形成することにより、平坦化処理を施したが、第9実施形態では、第3層間絶縁膜を凹状に形

成することにより、このような平坦化処理を施すものである。その他の構成については、第1乃至第8実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図17は、図2のA-A'断面に対応する断面図である。即ち、第8実施形態の液晶装置の平面図は、
5 第1実施形態乃至第7実施形態と同じである。

図17において、第3層間絶縁膜7'は、TFT30、データ線6a、走査線3a及び容量線3bに対向する部分が凹状に窪んで形成されている。より具体的には、CMP (Chemical Mechanical Polishing) 処理が、第3層間絶縁膜7'の上面に施されている。これにより、第3層間絶縁膜7'の液晶層50に面する側
10 が平坦化されている。従って、第5実施形態によれば、当該平坦化の度合いに応じて第3層間絶縁膜7'の表面の凹凸により引き起こされる液晶のディスクリネーション（配向不良）を低減できる。この結果、第5実施形態によれば、より高品位の画像表示が可能となり、画素部の開口領域を広げることも可能となる。

尚、このようなCMP処理の他に、スピコート等によりSOG（スピオン
15 ガラス）を形成して、第3層間絶縁膜7'の上面を平坦化してもよい。

更に、上述した第8及び第9実施形態では夫々、第1及び第3層間絶縁膜に凹状部分を形成するようにしたが、第2層間絶縁膜に凹状部分を形成してもよいし、更には、これらを組み合わせてもよい。

これらに加えて、第1、第2又は第3層間絶縁膜に形成する凹状部分を、TFT
20 T30、データ線6a、走査線3a及び容量線3bの全てに対向する部分とするのではなく、凹状部分を少なくとも、これらのうち何等の平坦化処理も施さない場合に最も合計膜厚が厚くなるデータ線6aに対向する部分とすることで、第8又は第9実施形態の如き平坦化処理を施してもよい。尚、上述の如き第8及び第9実施形態における平坦化技術は、第1乃至第7実施形態のいずれにも適用可能
25 である。

（液晶装置の全体構成）

以上のように構成された液晶装置の各実施形態の全体構成を図18及び図19を参照して説明する。尚、図18は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図19は、対向基

板20を含めて示す図18のH-H'断面図である。

図18において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられており、更に、額縁としての第3遮光膜53の下に隠れてプリチャージ回路201(図4参照)を設けてもよい。また、対向基板20のコーナ一部分の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的導通をとるための導通材106が設けられている。そして、図19に示すように、図18に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

以上図1から図19を参照して説明した各実施形態における液晶装置のTFTアレイ基板10上には更に、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB(Tape Automated Bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及び

TFTアレイ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic)モード、VA (Vertically Aligned)モード、PDLC (Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光手段などが所定の方向で配置される。

以上説明した各実施形態における液晶装置は、カラー液晶プロジェクタ（投射型表示装置）に適用されるため、3枚の液晶装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施形態における液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

以上説明した各実施形態における液晶装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクタに取り付けても、半導体層1aのチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側での反射を防止するために、反射防止用のAR (Anti-reflection) 被膜された偏光手段を別途配置したり、ARフィルムを貼り付ける必要があった。しかし、各

- 実施形態では、TFTアレ基板10の表面と半導体層1aの少なくともチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cとの間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光手段やARフィルムを用いたり、TFTアレ基板10そのものをAR処理した基板を使用する必要がある。従って、各実施形態によれば、材料コストを削減でき、また偏光手段の貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。
- 10 また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

(電子機器)

- 15 上記の液晶装置を用いた電子機器の一例として、投射型表示装置の構成について、図21を参照して説明する。図21において、投射型表示装置1100は、上述した液晶装置を3個用意し、夫々RGB用の液晶装置962R、962G及び962Bとして用いた投射型液晶装置の光学系の概略構成図を示す。本例の投射型表示装置の光学系には、前述した光源装置920と、均一照明光学系923
- 20 が採用されている。そして、投射型表示装置は、この均一照明光学系923から出射される光束Wを赤(R)、緑(G)、青(B)に分離する色分離手段としての色分離光学系924と、各色光束R、G、Bを変調する変調手段としての3つのライトバルブ925R、925G、925Bと、変調された後の色光束を再合成する色合成手段としての色合成プリズム910と、合成された光束を投射面1
- 25 00の表面に拡大投射する投射手段としての投射レンズユニット906を備えている。また、青色光束Bを対応するライトバルブ925Bに導く導光系927をも備えている。

均一照明光学系923は、2つのレンズ板921、922と反射ミラー931を備えており、反射ミラー931を挟んで2つのレンズ板921、922が直交

する状態に配置されている。均一照明光学系923の2つのレンズ板921、922は、それぞれマトリクス状に配置された複数の矩形レンズを備えている。光源装置920から出射された光束は、第1のレンズ板921の矩形レンズによって複数の部分光束に分割される。そして、これらの部分光束は、第2のレンズ板922の矩形レンズによって3つのライトバルブ925R、925G、925B付近で重畳される。従って、均一照明光学系923を用いることにより、光源装置920が出射光束の断面内で不均一な照度分布を有している場合でも、3つのライトバルブ925R、925G、925Bを均一な照明光で照明することが可能となる。

- 10 各色分離光学系924は、青緑反射ダイクロイックミラー941と、緑反射ダイクロイックミラー942と、反射ミラー943から構成される。まず、青緑反射ダイクロイックミラー941において、光束Wに含まれている青色光束Bおよび緑色光束Gが直角に反射され、緑反射ダイクロイックミラー942の側に向かう。赤色光束Rはこのミラー941を通過して、後方の反射ミラー943で直角に反射されて、赤色光束Rの出射部944から色合成プリズム910の側に出射される。

- 次に、緑反射ダイクロイックミラー942において、青緑反射ダイクロイックミラー941において反射された青色、緑色光束B、Gのうち、緑色光束Gのみが直角に反射されて、緑色光束Gの出射部945から色合成光学系の側に出射される。緑反射ダイクロイックミラー942を通過した青色光束Bは、青色光束Bの出射部946から導光系927の側に出射される。本例では、均一照明光学素子の光束Wの出射部から、色分離光学系924における各色光束の出射部944、945、946までの距離がほぼ等しくなるように設定されている。

- 色分離光学系924の赤色、緑色光束R、Gの出射部944、945の出射側には、それぞれ集光レンズ951、952が配置されている。したがって、各出射部から出射した赤色、緑色光束R、Gは、これらの集光レンズ951、952に入射して平行化される。

このように平行化された赤色、緑色光束R、Gは、ライトバルブ925R、925Gに入射して変調され、各色光に対応した画像情報が付加される。すなわち、

これらの液晶装置は、不図示の駆動手段によって画像情報に応じてスイッチング制御されて、これにより、ここを通過する各色光の変調が行われる。一方、青色光束Bは、導光系927を介して対応するライトバルブ925Bに導かれ、ここにおいて、同様に画像情報に応じて変調が施される。尚、本例のライトバルブ925R、925G、925Bは、それぞれさらに入射側偏光手段960R、960G、960Bと、出射側偏光手段961R、961G、961Bと、これらの間に配置された液晶装置962R、962G、962Bとからなる液晶ライトバルブである。

導光系927は、青色光束Bの出射部946の出射側に配置した集光レンズ954と、入射側反射ミラー971と、出射側反射ミラー972と、これらの反射ミラーの間に配置した中間レンズ973と、ライトバルブ925Bの手前側に配置した集光レンズ953とから構成されている。集光レンズ946から出射された青色光束Bは、導光系927を介して液晶装置962Bに導かれて変調される。各色光束の光路長、すなわち、光束Wの出射部から各液晶装置962R、962G、962Bまでの距離は青色光束Bが最も長くなり、したがって、青色光束の光量損失が最も多くなる。しかし、導光系927を介在させることにより、光量損失を抑制することができる。

各ライトバルブ925R、925G、925Bを通して変調された各色光束R、G、Bは、色合成プリズム910に入射され、ここで合成される。そして、この色合成プリズム910によって合成された光が投射レンズユニット906を介して所定の位置にある投射面100の表面に拡大投射されるようになっている。

本例では、液晶装置962R、962G、962Bには、TFTの下側に遮光層が設けられているため、当該液晶装置962R、962G、962Bからの投射光に基づく液晶プロジェクタ内の投射光学系による反射光、投射光が通過する際のTFTアレイ基板の表面からの反射光、他の液晶装置から出射した後に投射光学系を突き抜けてくる投射光の一部等が、戻り光としてTFTアレイ基板の側から入射しても、画素電極のスイッチング用TFTのチャンネルに対する遮光を十分に行うことができる。

このため、小型化に適したプリズムユニットを投射光学系に用いても、各液晶

装置 9 6 2 R、9 6 2 G、9 6 2 B とプリズムユニットとの間において、戻り光防止用のフィルムを別途配置したり、偏光手段に戻り光防止処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

また、本実施形態では、戻り光による T F T のチャネル領域への影響を抑えることができるため、液晶装置に直接戻り光防止処理を施した偏光手段 9 6 1 R、9 6 1 G、9 6 1 B を貼り付けなくてもよい。そこで、図 1 8 に示されるように、偏光手段を液晶装置から離して形成、より具体的には、一方の偏光手段 9 6 1 R、9 6 1 G、9 6 1 B は色合成プリズム 9 1 0 に貼り付け、他方の偏光手段 9 6 0 R、9 6 0 G、9 6 0 B は集光レンズ 9 5 3、9 4 5、9 4 4 に貼り付けることが可能である。このように、偏光手段をプリズムユニットあるいは集光レンズに貼り付けることにより、偏光手段の熱は、プリズムユニットあるいは集光レンズで吸収されるため、液晶装置の温度上昇を防止することができる。

また、図示を省略するが、液晶装置と偏光手段とを離間形成することにより、液晶装置と偏光手段との間には空気層ができるため、冷却手段を設け、液晶装置と偏光手段との間に冷風等の送風を送り込むことにより、液晶装置の温度上昇をさらに防ぐことができ、液晶装置の温度上昇による誤動作を防ぐことができる。

〔産業上の利用分野〕

本発明の液晶装置によれば、複数の遮光膜を利用して低抵抗した容量線により、複数の画素電極に対して蓄積容量を夫々付与するようにしたので、液晶装置の駆動周波数を高めても、データ線と容量線との容量カップリングによる容量線の電位揺れに起因する横クロストークやゴースト等は低減され、高品位の画像表示が行える。更に、プリチャージや走査線反転駆動を良好に行える。これらに加えて、異物等により容量線が途中で断線しても遮光膜による配線が容量線の代わりになるので冗長構造が実現でき、また、遮光膜による配線に係るクラックの発生が少なく信頼性及び良品率の高い液晶装置を実現できる。

請求の範囲

1. 一対の基板間に液晶が挟持されてなり、該一対の基板の一方の基板上には、マトリクス状に配置された複数の画素電極と、
該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、
5 該複数の薄膜トランジスタに夫々接続された複数のデータ線及び複数の走査線と、
該複数の走査線夫々と並んで前記複数のデータ線に交差する方向に夫々伸延し、
前記複数の画素電極に対し蓄積容量を夫々付与する複数の容量線と、
前記複数のデータ線に交差する方向に夫々伸延し、前記複数の薄膜トランジスタの少なくともチャンネル領域を前記一方の基板の側から見て夫々覆う位置及び前
10 記複数の容量線に少なくとも部分的に夫々対向する位置に設けられ、前記複数のデータ線に交差する方向に対し一又は複数の画素毎に前記複数の容量線と夫々電気接続された複数の遮光膜と、
該複数の遮光膜と前記薄膜トランジスタとの間に介在する第1層間絶縁膜と
15 を備えたことを特徴とする液晶装置。
2. 前記複数の遮光膜は夫々、前記チャンネル領域を覆う位置を除き、前記走査線に対向する位置には形成されていないことを特徴とする請求項1に記載の液晶装置。
3. 一対の基板間に液晶が挟持されてなり、該一対の基板の一方の基板上には、
20 マトリクス状に配置された複数の画素電極と、
該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、
該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、
該複数の走査線夫々と並んで前記複数のデータ線に交差する方向に夫々伸延し、
25 前記複数の画素電極に対し蓄積容量を夫々付与する複数の容量線と、
前記複数のデータ線に交差する方向に夫々伸延し、前記複数の薄膜トランジスタの少なくともチャンネル領域を前記一方の基板の側から見て夫々覆う位置及び前記複数の走査線に少なくとも部分的に夫々対向する位置に設けられ、前記複数のデータ線に交差する方向に対し一又は複数の画素毎に前記複数の容量線と夫々電

気接続された複数の遮光膜と、

該複数の遮光膜と前記薄膜トランジスタとの間に介在する第1層間絶縁膜とを備えたことを特徴とする液晶装置。

4. 前記容量線と前記走査線とは、同一の導電性薄膜からなり、

- 5 前記薄膜トランジスタの前記画素電極に接続された側のソース又はドレイン領域を構成する半導体層から延設されてなる第1蓄積容量電極と第2蓄積容量電極としての前記容量線とは、前記薄膜トランジスタのゲート絶縁膜と同一の絶縁膜からなる誘電体膜を介して対向配置されることにより、前記蓄積容量が付与されることを特徴とする請求項1から3のいずれか一項に記載の液晶装置。

- 10 5. 前記複数の遮光膜が夫々、前記第2蓄積容量電極の反対側において前記第1蓄積容量電極と前記第1層間絶縁膜を介して第3蓄積容量電極として対向配置されることにより、前記蓄積容量が更に付与されることを特徴とする請求項4に記載の液晶装置。

- 15 6. 前記容量線と前記複数の遮光膜との間には、前記第1層間絶縁膜が介在しており、

前記複数の容量線と前記複数の遮光膜とは、前記第1層間絶縁膜に前記一又は複数の画素毎に開孔されたコンタクトホールを介して夫々電気接続されたことを特徴とする請求項1から5のいずれか一項に記載の液晶装置。

- 20 7. 前記コンタクトホールは、平面的に見て前記データ線に重なる位置に開孔されていることを特徴とする請求項6に記載の液晶装置。

8. 前記コンタクトホールは、前記一方の基板に平行な平面形状が円形であることを特徴とする請求項6又は7に記載の液晶装置。

- 25 9. 前記複数の遮光膜は夫々、前記一方の基板に平行な平面形状が、前記走査線に沿って形成された第1領域と該第1領域から前記データ線に沿って延設された第2領域とを含んでおり、該第2領域に前記コンタクトホールが開孔されていることを特徴とする請求項6から8のいずれか一項に記載の液晶装置。

10. 前記容量線及び前記複数の遮光膜は、定電位源に接続されていることを特徴とする請求項1から9のいずれか一項に記載の液晶装置。

11. 前記定電位源は、当該液晶装置を駆動するための周辺回路に供給される定

電位源であることを特徴とする請求項 10 に記載の液晶装置。

12. 前記一对の基板の他方の基板に対向電極が形成されており、

前記定電位源は、該対向電極に供給される定電位源であることを特徴とする請求項 10 に記載の液晶装置。

5 13. 前記複数の遮光膜は夫々、隣接する段の前記容量線に電気接続されることを特徴とする請求項 1 から 12 のいずれか一項に記載の液晶装置。

14. 前記複数の遮光膜は夫々、自段の前記容量線に電気接続されることを特徴とする請求項 1 から 12 のいずれか一項に記載の液晶装置。

10 15. 前記走査線上且つ前記データ線下に設けられた第 2 層間絶縁膜と、前記データ線上且つ前記画素電極下に設けられた第 3 層間絶縁膜とを更に備えており、前記第 1、第 2 及び第 3 層間絶縁膜のうち少なくとも一つは、少なくとも前記データ線に対向する部分が凹状に窪んで形成されることにより、前記第 3 層間絶縁膜の前記液晶に面する側が平坦化されていることを特徴とする請求項 1 から 14 のいずれか一項に記載の液晶装置。

15 16. 前記複数の遮光膜は、Ti、Cr、W、Ta、Mo 及び Pb のうちの少なくとも一つを含むことを特徴とする請求項 1 から 15 のいずれか一項に記載の液晶装置。

20 17. 光源と、該光源から出射される光が入射されて画像情報に対応した変調を施す液晶ライトバルブと、該液晶ライトバルブにより変調された光を投射する投射手段とを有する投射型表示装置において、

前記液晶ライトバルブは、光の入射側に配置された第 1 基板及び出射側に配置された第 2 基板との間に液晶が挟持された液晶装置と、前記第 1 基板の外側に配置された第 1 偏光手段と、前記第 2 基板の外側に配置された第 2 偏光手段とを有し、

25 前記第 2 基板上にはマトリクス状に配置された複数の画素電極と、
該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、
該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、

該複数の走査線夫々と並んで前記複数のデータ線に交差する方向に夫々伸延し、

前記複数の画素電極に対し蓄積容量を夫々付与する複数の容量線と、

前記複数のデータ線に交差する方向に夫々伸延し、前記複数の薄膜トランジスタの少なくともチャンネル領域を前記一方の基板の側から見て夫々覆う位置及び前記複数の容量線に少なくとも部分的に夫々対向する位置に設けられ、前記複数のデータ線に交差する方向に対し一又は複数の画素毎に前記複数の容量線と夫々電気接続された複数の遮光膜と、

該複数の遮光膜と前記薄膜トランジスタとの間に介在する第1層間絶縁膜とを備えたことを特徴とする投射型表示装置。

18. 一对の基板間に液晶が挟持されてなり、該一对の基板の一方の基板には、マトリクス状に配置された複数の画素電極と、

該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、

該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、

前記複数の画素電極に対し蓄積容量を夫々付与するために形成された容量線と、

15 前記複数の薄膜トランジスタの少なくともチャンネル領域を前記一方の基板の側から見て夫々覆う位置に設けられており、前記容量線と電気接続された導電性の遮光膜と、

該遮光膜と前記薄膜トランジスタとの間に介在する第1層間絶縁膜と

を備えたことを特徴とする液晶装置。

20 19. 前記容量線と前記走査線とは、同一の導電性薄膜からなり、

一方の蓄積容量電極としての前記容量線と、前記薄膜トランジスタの前記画素電極に接続された側のソース又はドレイン領域を構成する半導体層部分から延設されてなる他方の蓄積容量電極とは、前記薄膜トランジスタのゲート絶縁膜と同一の絶縁膜からなる誘電体膜を介して対向配置されることにより、蓄積容量を構成することを特徴とする請求項18に記載の液晶装置。

20. 前記容量線と前記遮光膜との間には、前記第1層間絶縁膜が介在しており、

前記容量線と前記遮光膜とは、前記第1層間絶縁膜に開孔されたコンタクトホールを介して接続されたことを特徴とする請求項18又は19に記載の液晶装置。

21. 前記コンタクトホールは、画素毎に開孔されていることを特徴とする請求

項 20 に記載の液晶装置。

22. 前記コンタクトホールは、複数の画素からなる画素グループ毎に開孔されていることを特徴とする請求項 20 に記載の液晶装置。

23. 前記コンタクトホールは、前記一对の基板の他方の基板の側から見て前記データ線の下に開孔されていることを特徴とする請求項 20 から 22 のいずれか一項に記載の液晶装置。

24. 前記容量線及び前記遮光膜は、定電位源に接続されていることを特徴とする請求項 18 から 23 のいずれか一項に記載の液晶装置。

25. 前記定電位源は、当該液晶装置を駆動するための周辺回路に供給される定電位源であることを特徴とする請求項 24 に記載の液晶装置。

26. 前記一对の基板の他方の基板に対向電極が形成されており、

前記定電位源は、該対向電極に供給される定電位源であることを特徴とする請求項 24 に記載の液晶装置。

27. 前記容量線は、前記複数の走査線に沿って夫々形成された配線部分を含み、前記遮光膜は、該容量線の部分を前記一方の基板の側から見て夫々重なるように前記走査線に沿って形成された配線部分を含むことを特徴とする請求項 18 から 26 のいずれか一項に記載の液晶装置。

28. 前記遮光膜は、前記複数の走査線及び前記複数の容量線の少なくともどちらか一方と、前記複数のデータ線を前記一方の基板の側から見て夫々重なる位置に網目状に設けられていることを特徴とする請求項 18 から 27 のいずれか一項に記載の液晶装置。

29. 前記遮光膜は、前記複数の走査線及び前記複数の容量線の少なくともどちらか一方と、前記一方の基板の側から見て夫々重なる位置に縞状に設けられていることを特徴とする請求項 18 から 27 のいずれか一項に記載の液晶装置。

30. 前記遮光膜は、前記複数の走査線及び前記複数の容量線の少なくともどちらか一方と、前記一方の基板の側から見て夫々重なる位置に島状に設けられると共に前記走査線に沿って複数配列された島状の各部分が前記容量線を介して相互に電気接続されていることを特徴とする請求項 18 から 27 のいずれか一項に記載の液晶装置。

31. 前記遮光膜は、前記データ線に沿って縞状に設けられていることを特徴とする請求項18ないし27のいずれか一項に記載の液晶装置。

32. 前記遮光膜は、定電位源に接続されていることを特徴とする請求項31に記載の液晶装置。

- 5 33. 前記遮光膜は、Ti、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含むことを特徴とする請求項18から32のいずれか一項に記載の液晶装置。

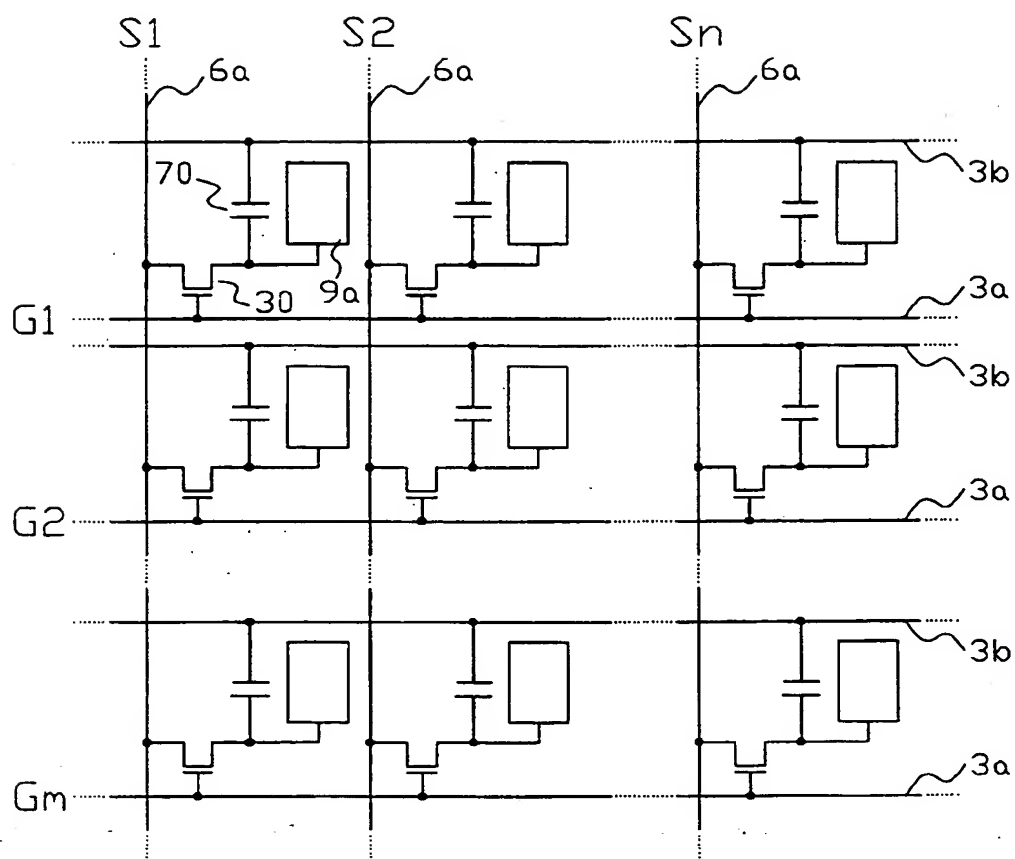
34. 前記走査線上且つ前記データ線下に設けられた第2層間絶縁膜と、前記データ線上且つ前記画素電極下に設けられた第3層間絶縁膜とを更に備えており、

- 10 前記第1、第2及び第3層間絶縁膜のうち少なくとも一つは、前記薄膜トランジスタ、前記データ線、前記走査線及び前記容量線のうち少なくとも一つに対向する部分が凹状に窪んで形成されることにより、前記第3層間絶縁膜の前記液晶に面する側が平坦化されていることを特徴とする請求項18から33のいずれか一項に記載の液晶装置。

- 15 35. 請求項18から34のいずれか一項に記載の液晶装置を備えたことを特徴とする電子機器。

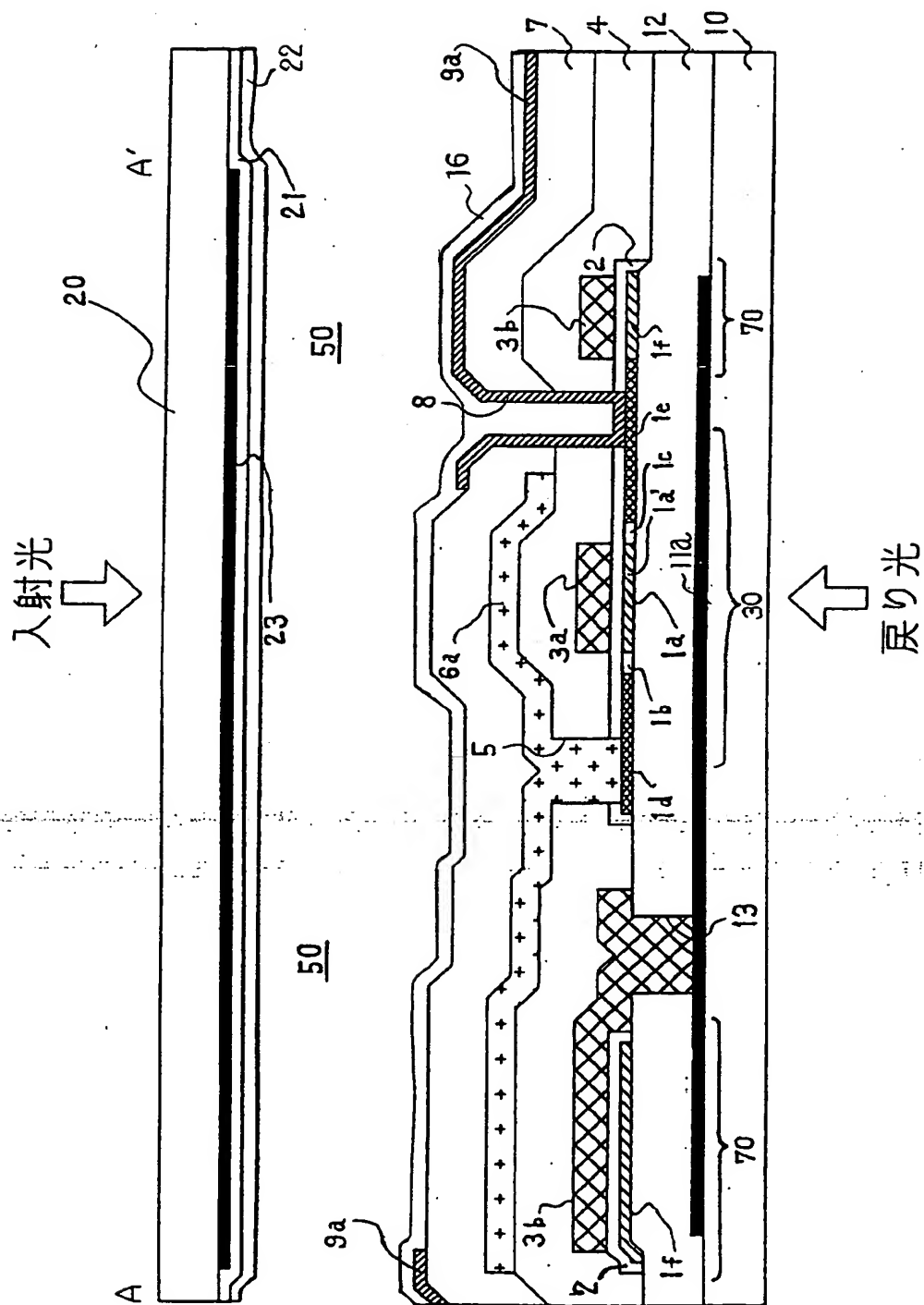
1/20

Fig. 1



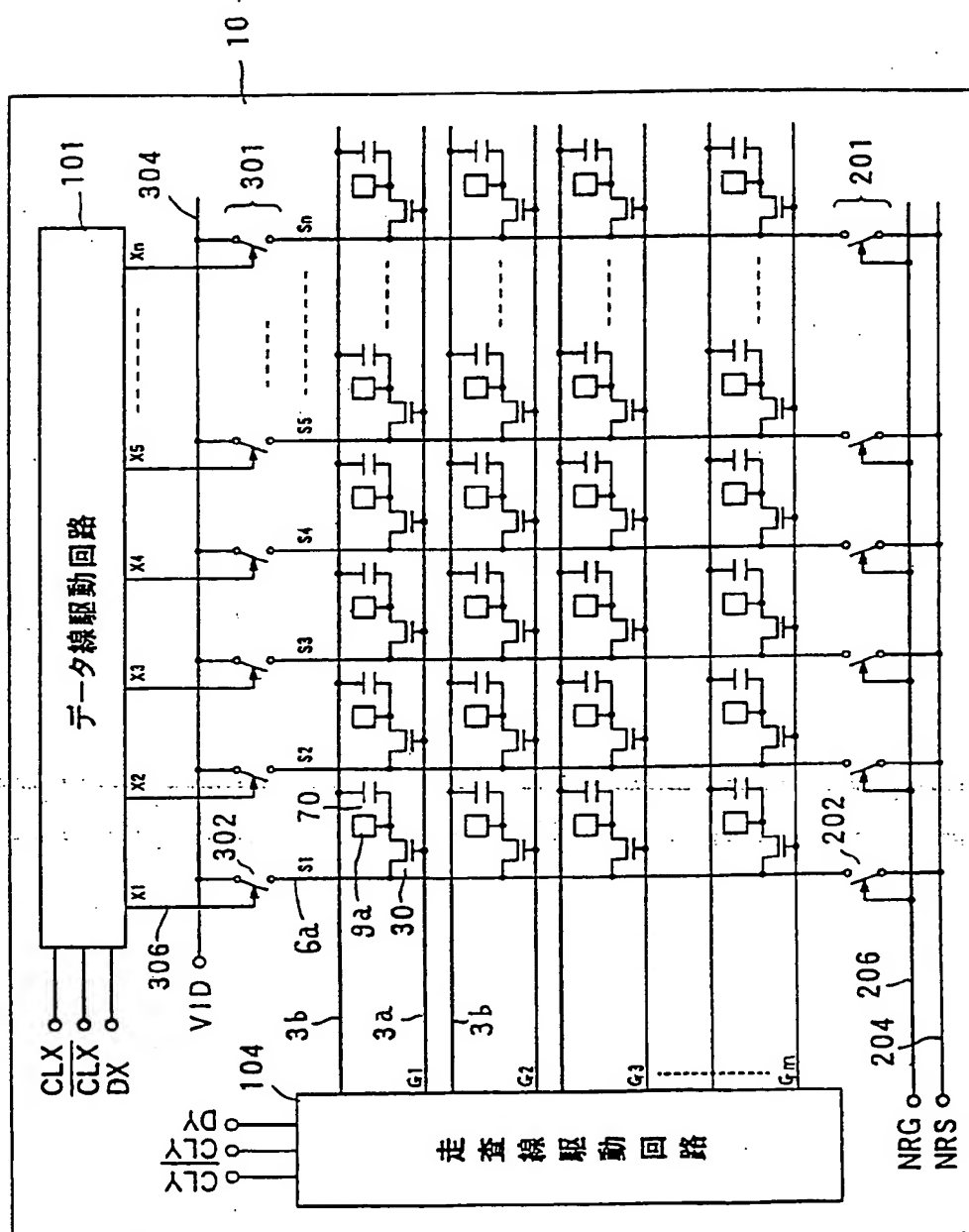
3/20

Fig. 3



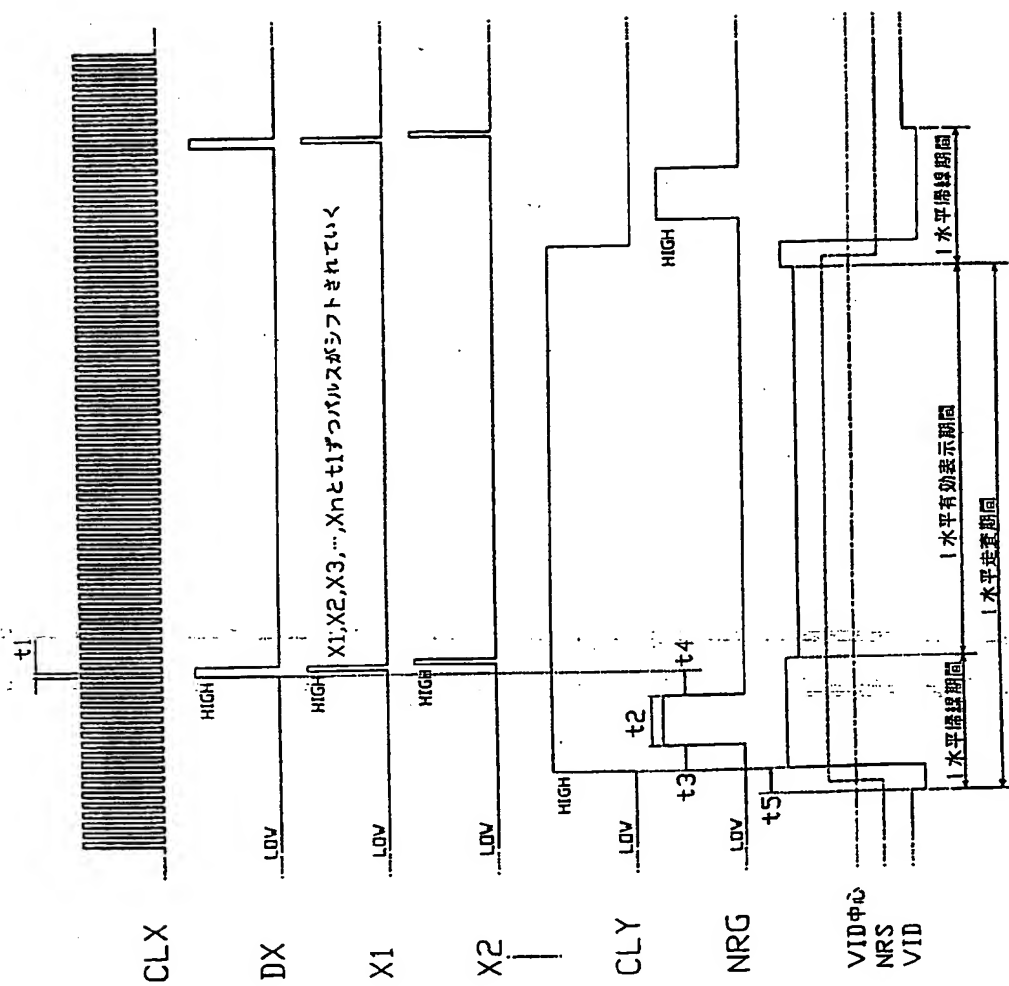
4/20

F i g . 4



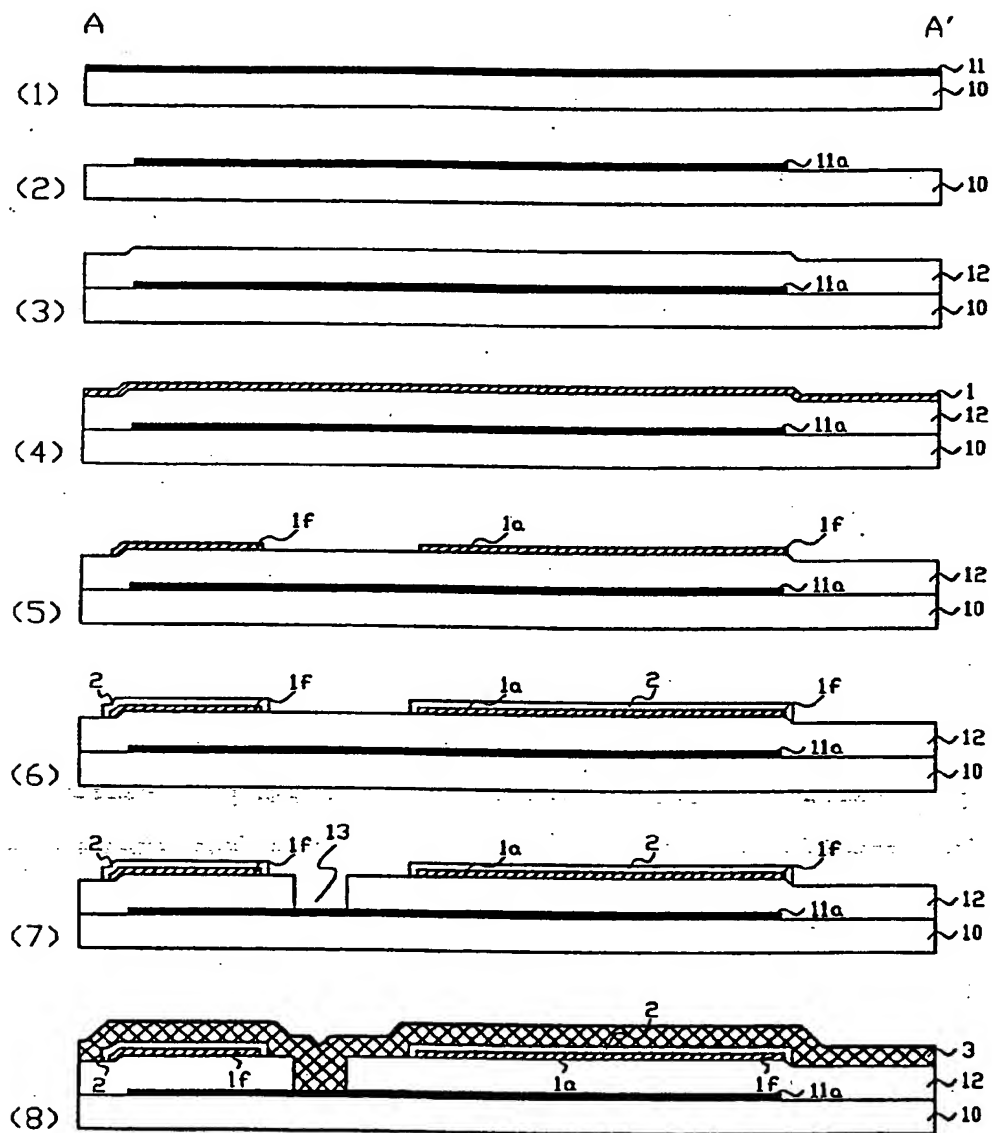
5/20

Fig. 5



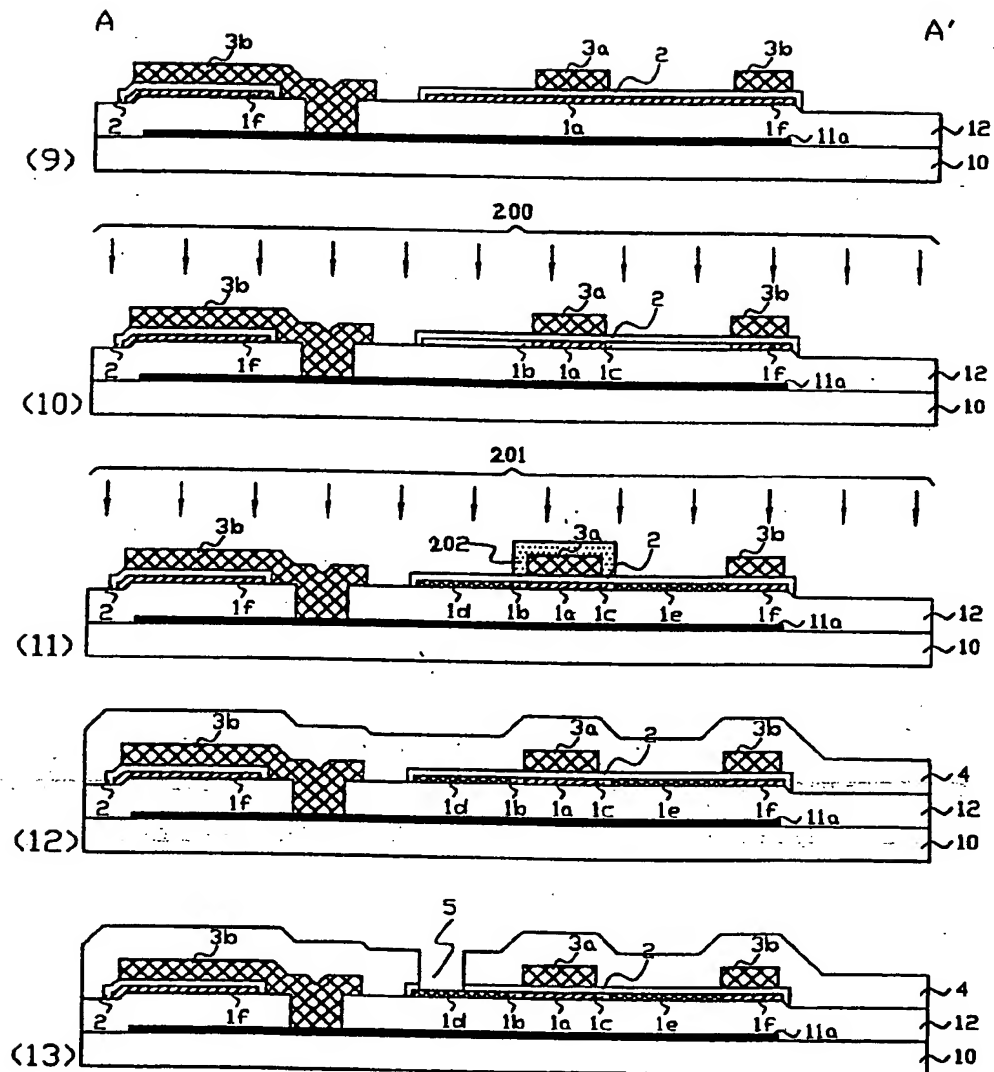
6/30

Fig. 6



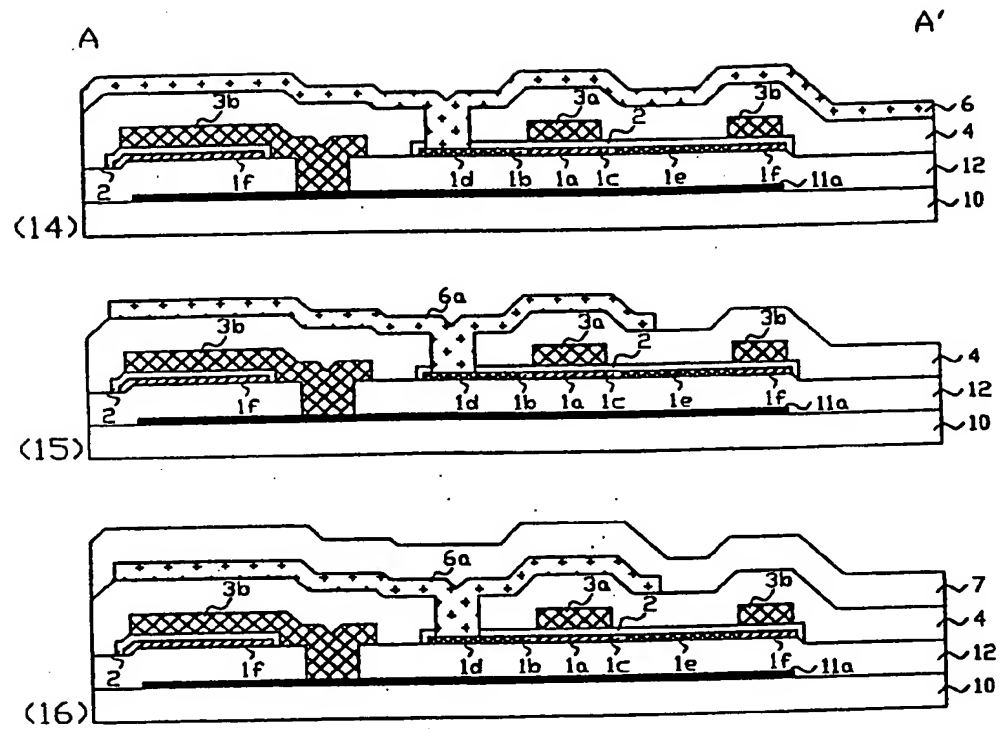
7/20

Fig. 7



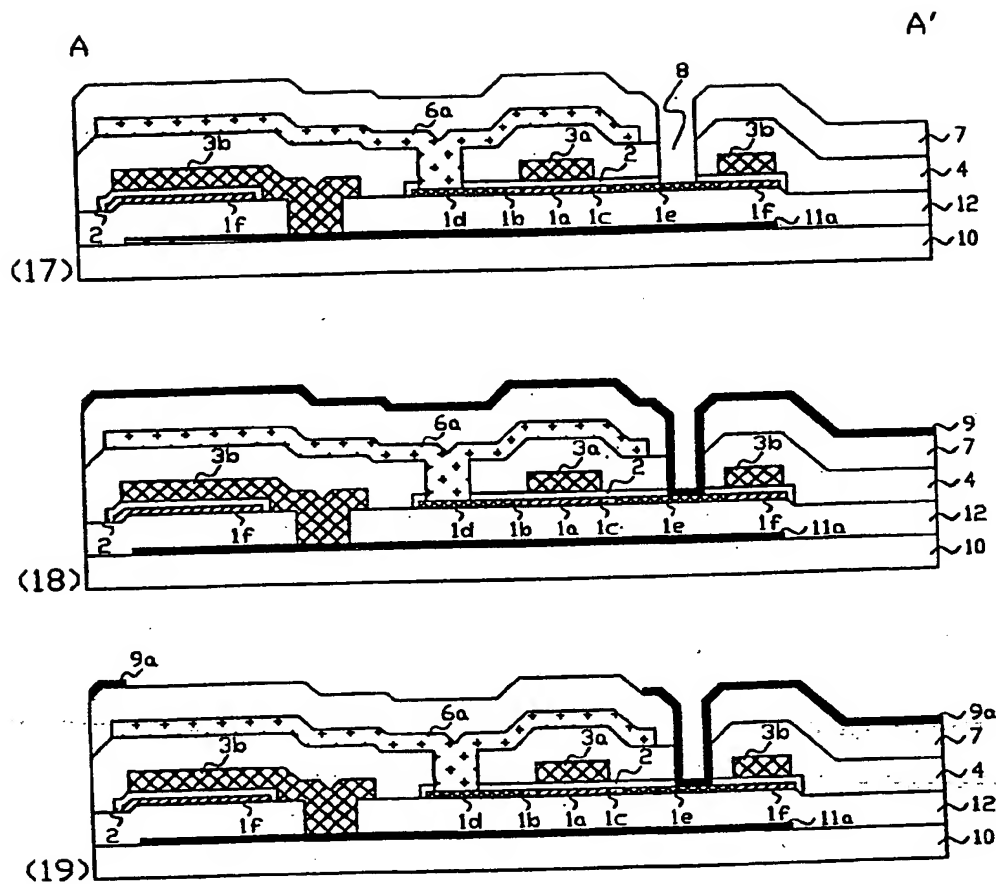
8/20

F i g . 8



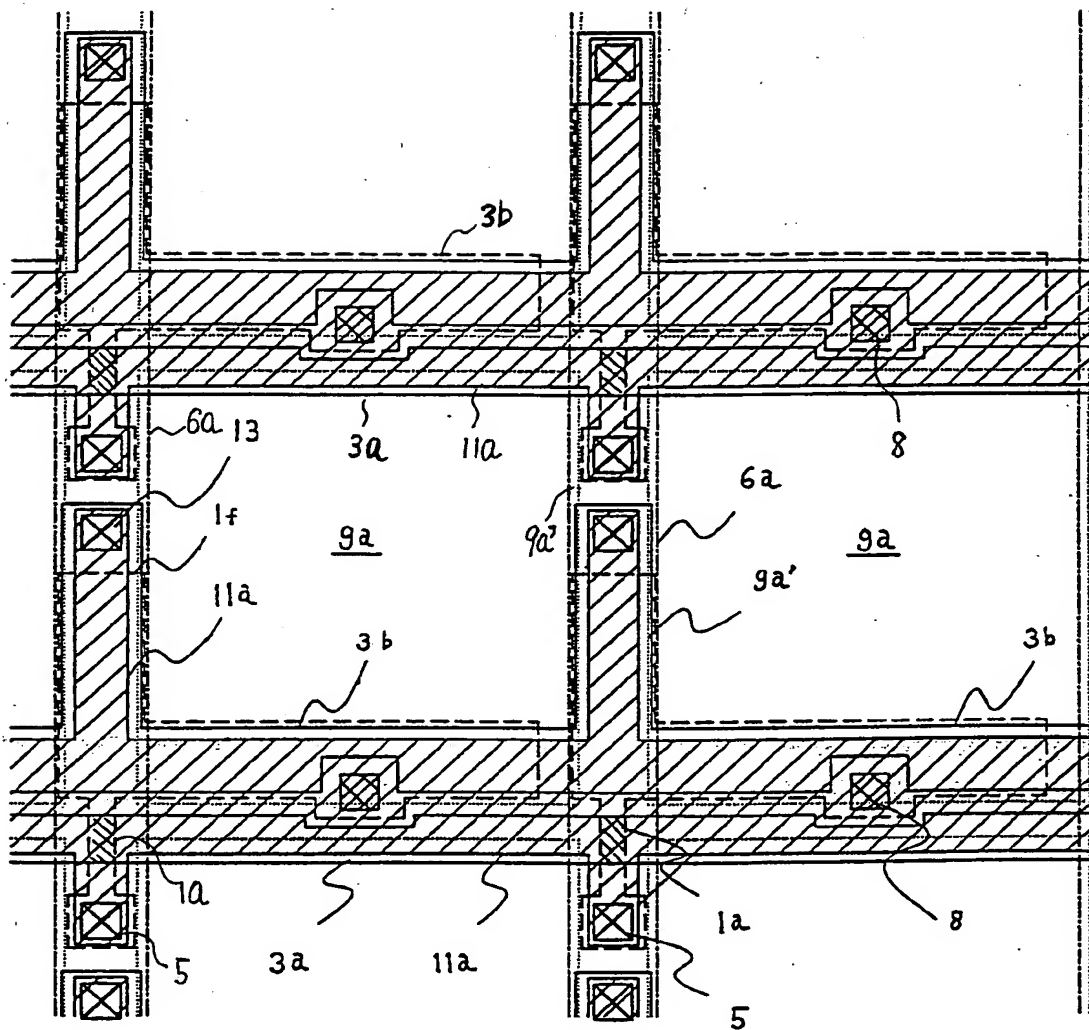
9/20

Fig. 9



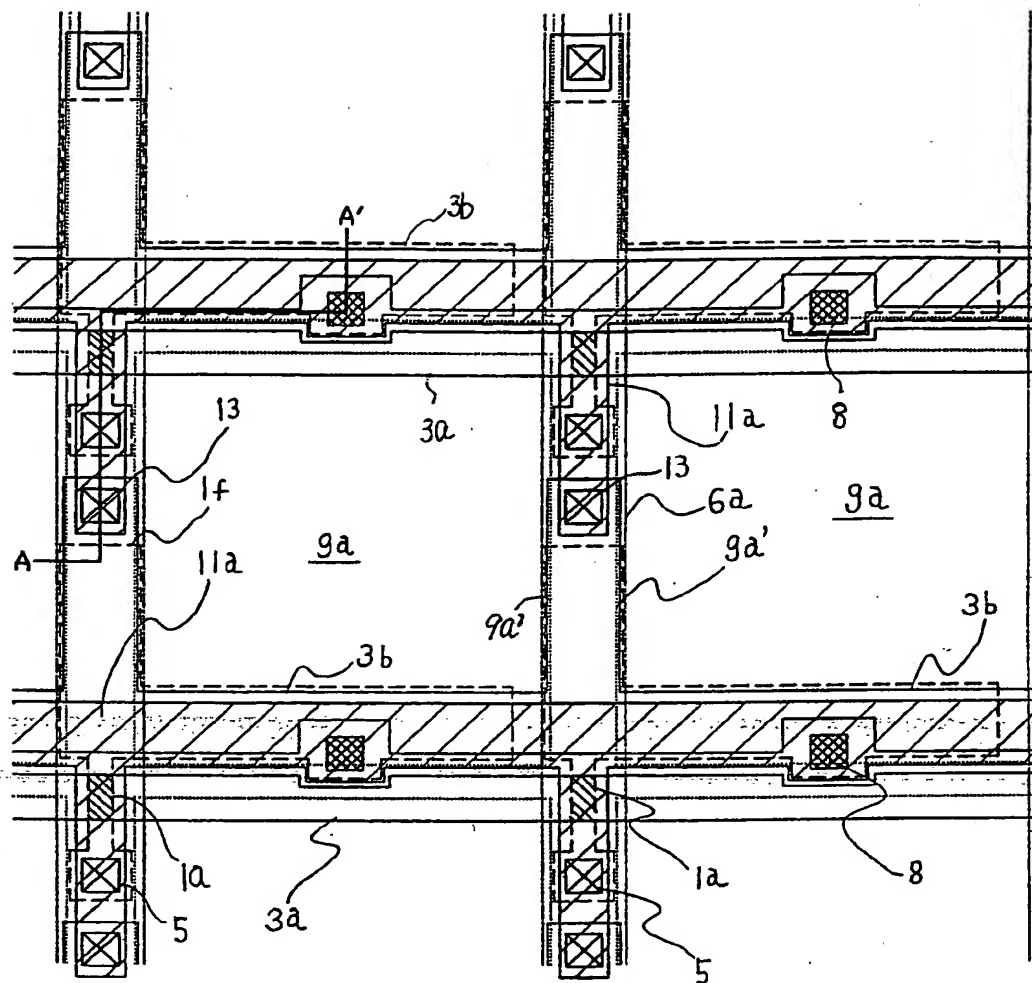
10/20

Fig. 10



11/20

Fig. 11



12/20

Fig. 12

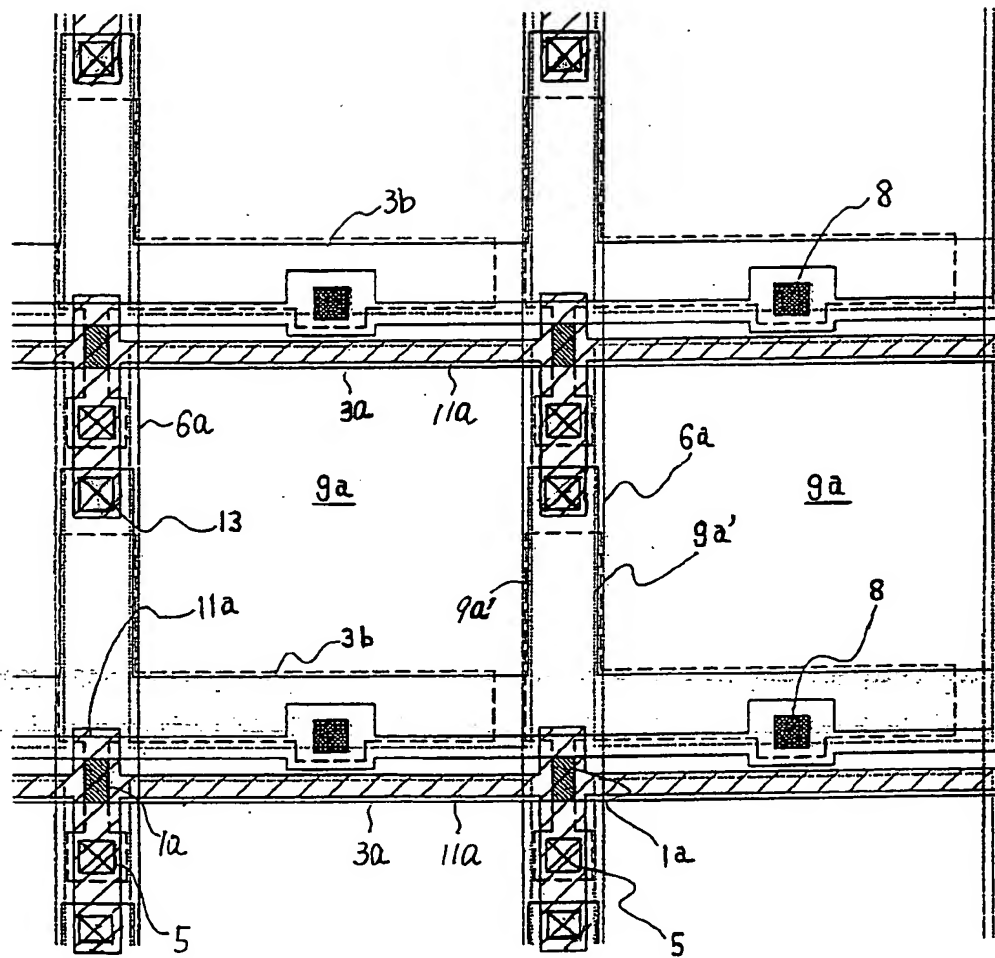
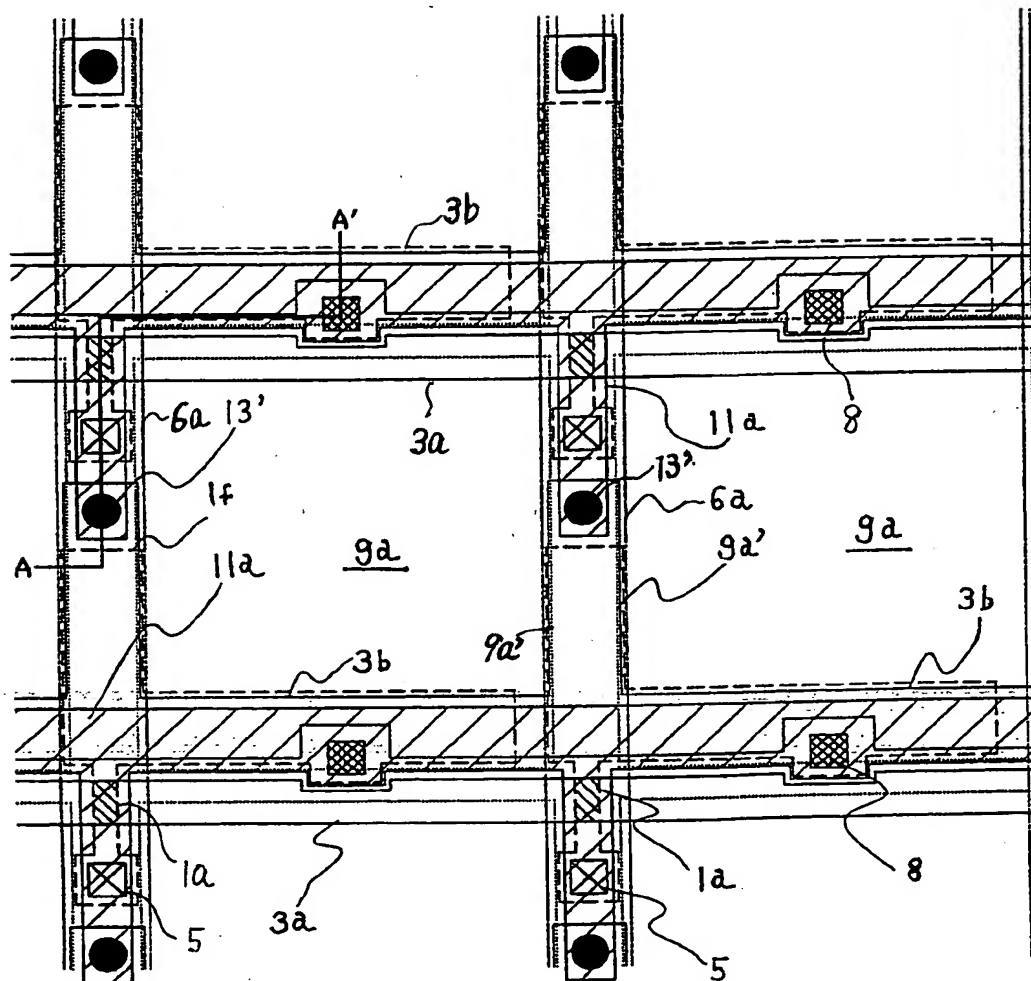


Fig. 13 13/20



14/20

Fig. 14

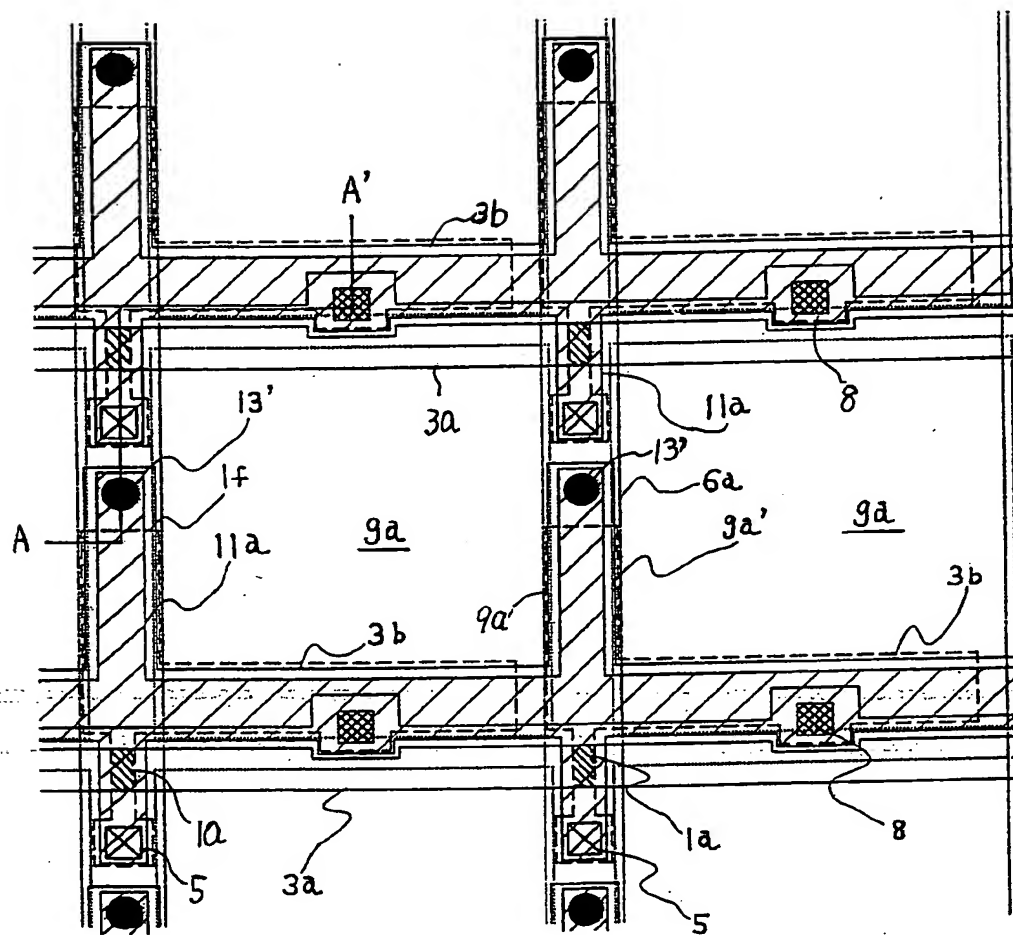
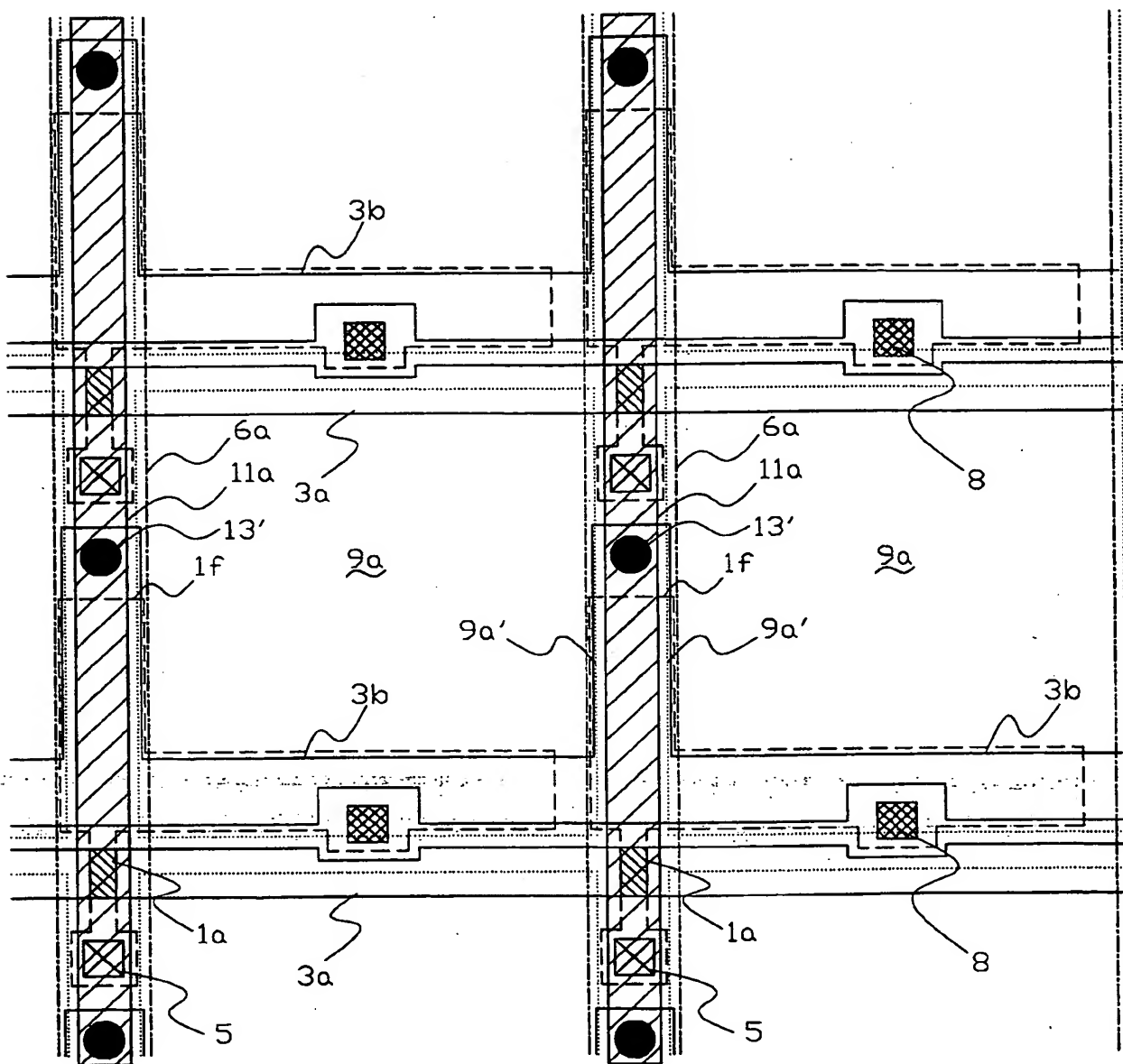


Fig. 15

15/20



16/20

Fig. 16

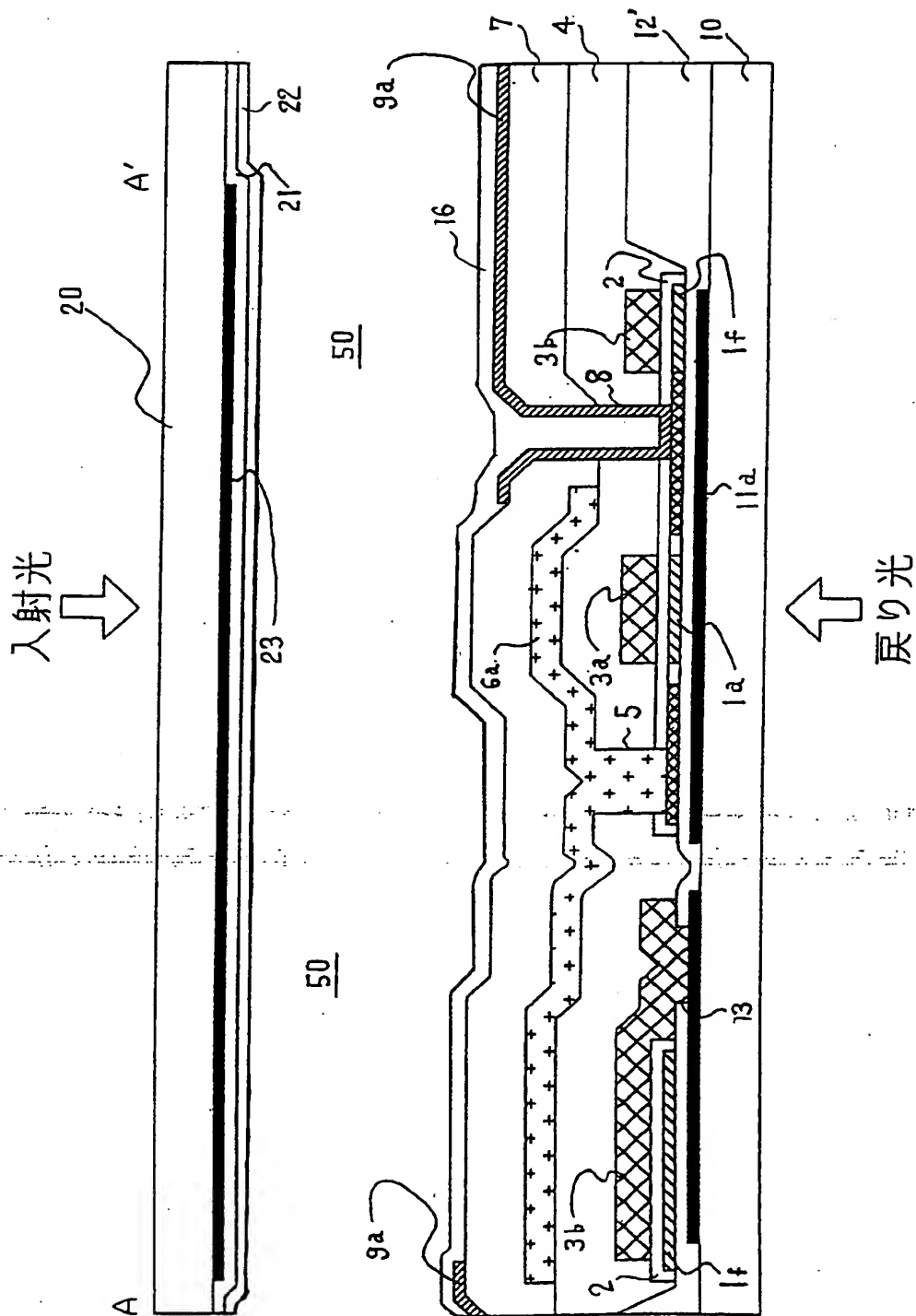
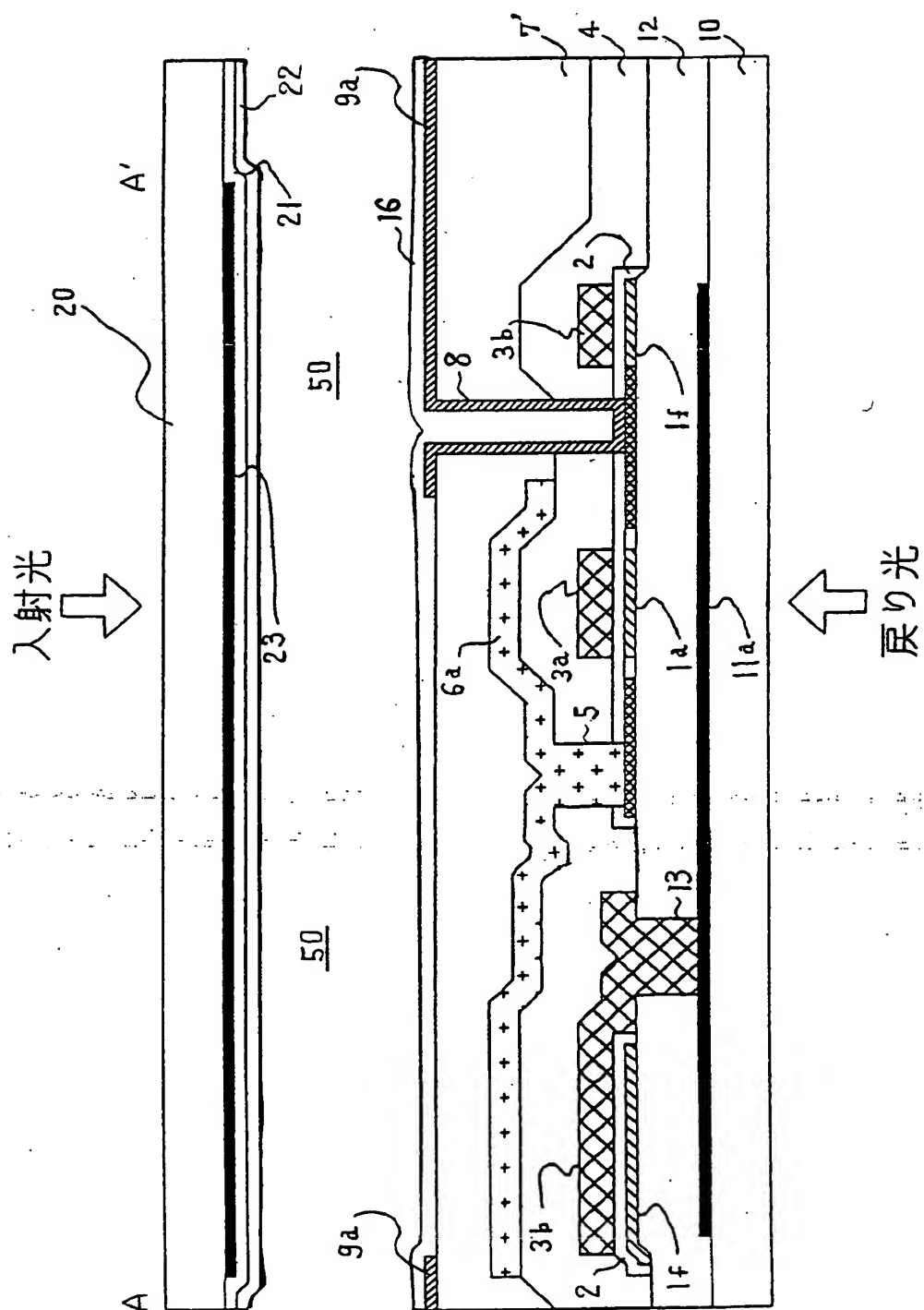


Fig. 17

17/20



18/20

Fig. 18

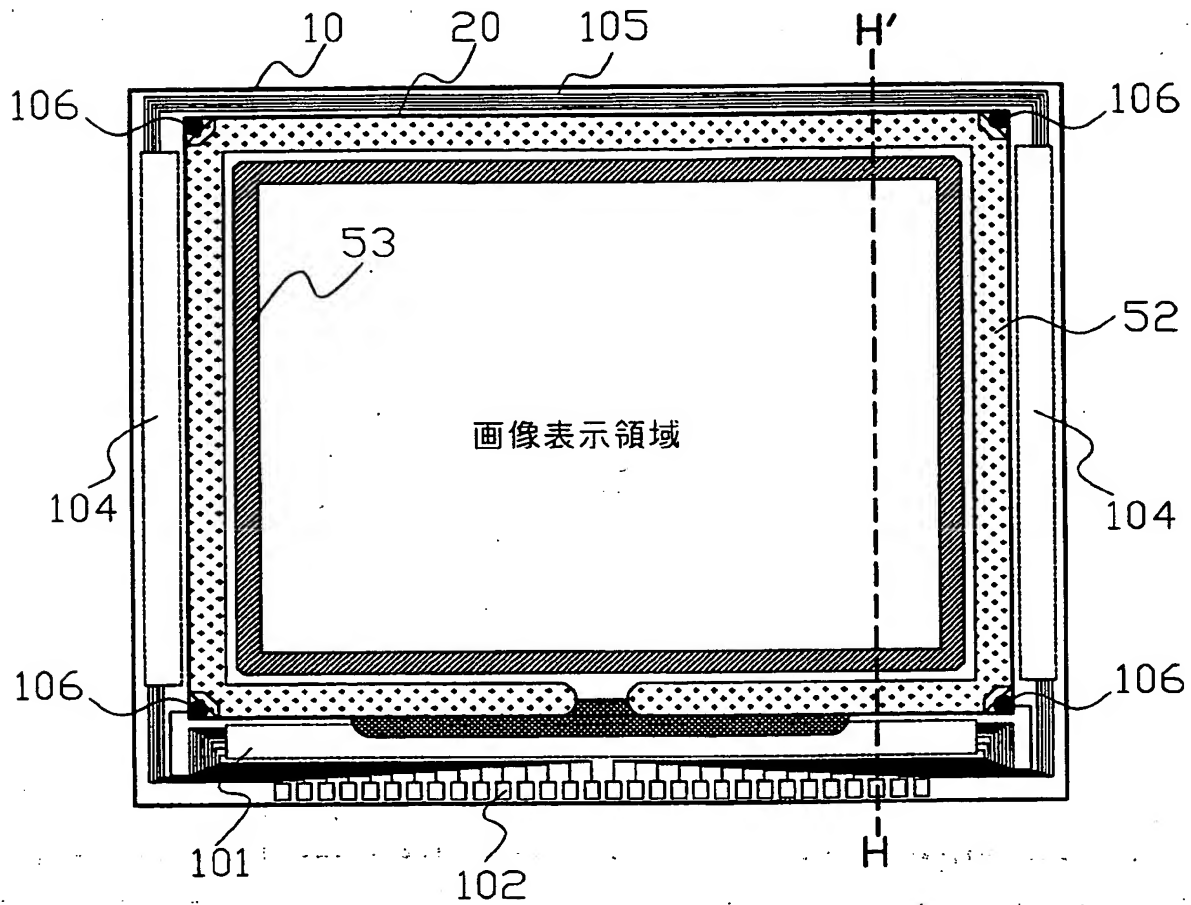
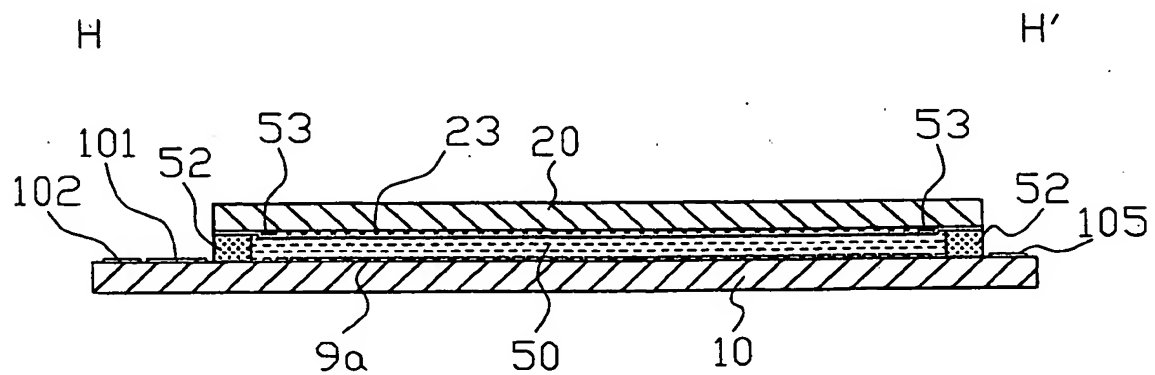
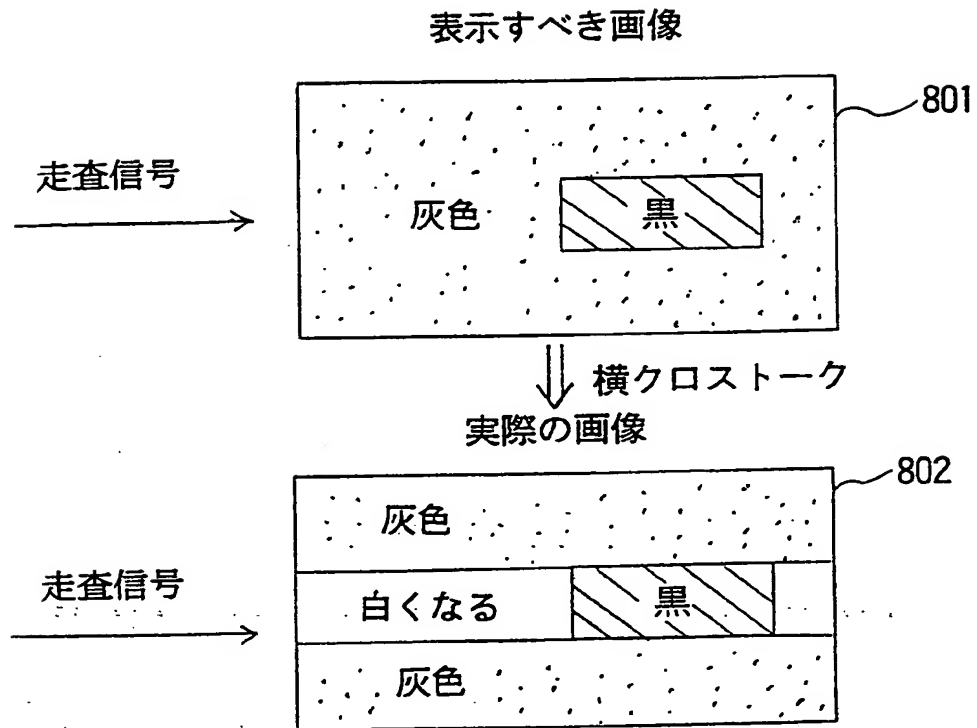


Fig. 19



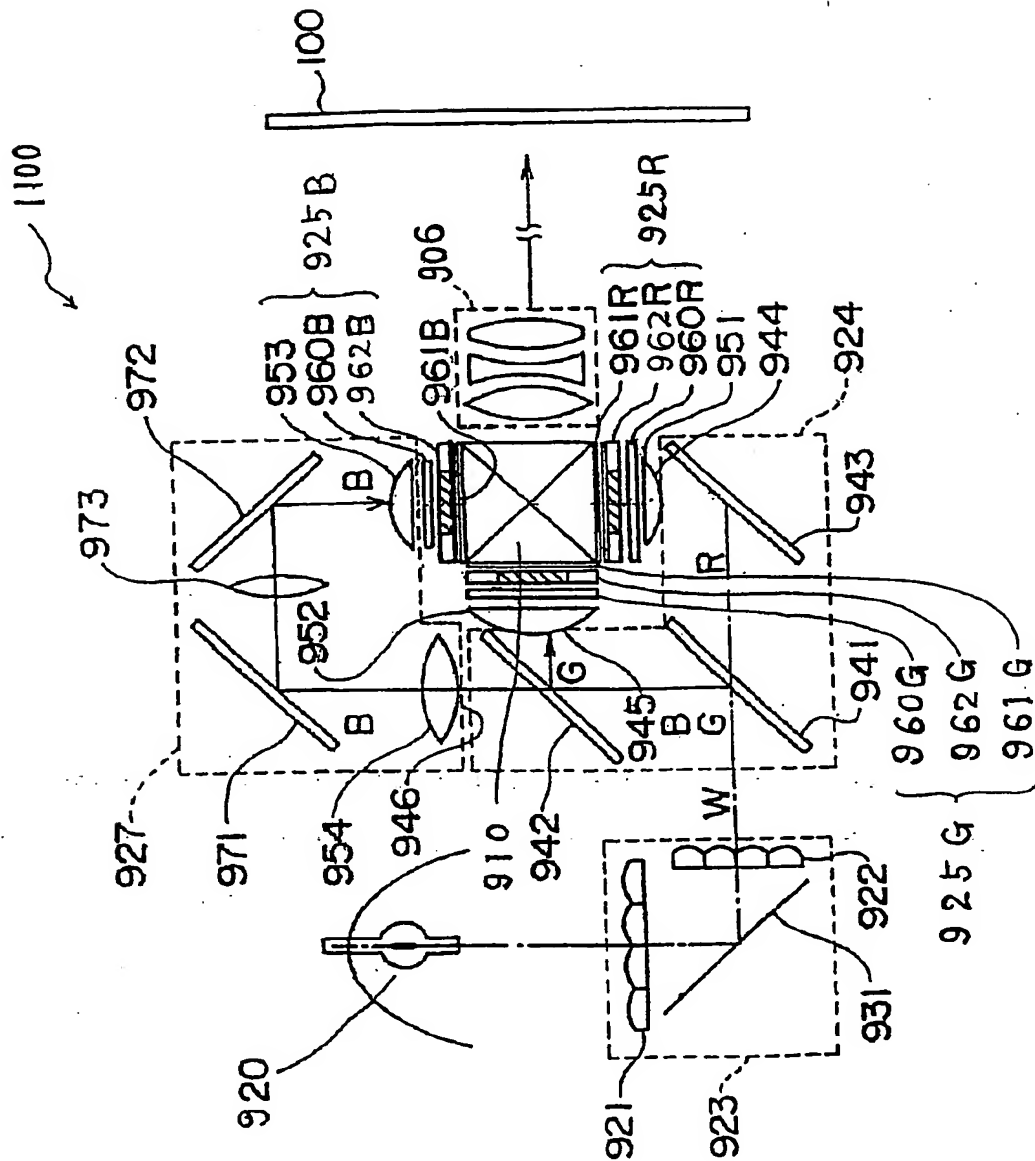
19/20

Fig. 20



20/20

Fig. 21



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01433

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G02F1/136, 500

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ G02F1/136, 500

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1999
Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-10548, A (Sharp Corp.), 16 January, 1998 (16. 01. 98), Page 2, right column, lines 34 to 43 ; page 4, left column, line 26 to right column, line 50 ; Figs. 1, 2 (a), (b), 3 (a), (b), (c)	1-3, 6-8, 14, 16, 18, 20-23, 28, 33, 35
Y		10-12, 17, 24-26
X	JP, 8-234239, A (Sony Corp.), 13 September, 1996 (13. 09. 96), Page 3, right column, line 40 to page 4, left column, line 34 ; page 4, right column, lines 34 to 38 ; page 5, right column, lines 23 to 43 ; Figs. 1, 2, 5, 6 (Family: none)	1-3, 6-8, 10-12, 14, 16, 18, 20-26, 29, 33, 35
Y		17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not
considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is
cited to establish the publication date of another citation or other
special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other
means
"P" document published prior to the international filing date but later than
the priority date claimed

"T" later document published after the international filing date or priority
date and not in conflict with the application but cited to understand
the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be
considered novel or cannot be considered to involve an inventive step
when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such combination
being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
8 April, 1999 (08. 04. 99)

Date of mailing of the international search report
20 April, 1999 (20. 04. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01433

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 5-257164, A (Sharp Corp.), 8 October, 1993 (08. 10. 93), Page 4, left column, line 10 to right column, line 43 ; Figs. 1, 2 (Family: none)	1-3, 6-8, 12, 14, 16, 18, 20-23, 26, 28, 33, 35
Y		10, 11, 17, 24, 25
Y	JP, 60-2916, A (Suwa Seikosha K.K.), 9 January, 1985 (09. 01. 85), Page 2, upper left column, line 10 to page 3, upper left column, line 2 ; Figs. 1, 2 (イ), (□), (ノ) (Family: none)	17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁶ G 02 F 1/136 500

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁶ G 02 F 1/136 500

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1999年
日本国公開実用新案公報 1971-1995年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 10-10548, A (シャープ株式会社), 16. 1月. 1998 (16. 01. 98), 第2頁右欄第34-43行, 第4 頁左欄第26行-同頁右欄第50行, 第1図, 第2図 (a) (b), 第3図 (a) (b) (c) (ファミリーなし)	1-3, 6 -8, 14, 16, 18, 20-23, 28, 33, 35
Y		10-12, 17, 24- 26
X	J P, 8-234239, A (ソニー株式会社), 13. 9月. 1 996 (13. 09. 96), 第3頁右欄第40行-第4頁左欄第	1-3, 6 -8, 10-

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

08. 04. 99

国際調査報告の発送日

20.04.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

吉野 公夫

2X

8106

電話番号 03-3581-1101 内線 6583

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	34行, 第4頁右欄第34-38行, 第5頁右欄第23-43行, 第1-2, 5-6図 (ファミリーなし)	12, 14, 16, 18, 20-26, 29, 33, 35 17
X	JP, 5-25716.4, A (シャープ株式会社), 8. 10月. 1993 (08. 10. 93), 第4頁左欄第10行-同頁右欄第 43行, 第1-2図 (ファミリーなし)	1-3, 6 -8, 12, 14, 16, 18, 20- 23, 26, 28, 33, 35
Y		10, 11, 17, 24, 25
Y	JP, 60-2916, A (株式会社諏訪精工舎), 9. 1月. 1 985 (09. 01. 85), 第2頁左上欄第10行-第3頁左上 欄第2行, 第1図, 第2図 (イ) (ロ) (ハ) (ファミリーなし)	17